

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-343886

(P2002-343886A)

(43) 公開日 平成14年11月29日 (2002. 11. 29)

(51) Int.Cl. <sup>1</sup>	識別記号	F I	テ-マ-ト <sup>*</sup> (参考)
H 0 1 L 21/8242		H 0 1 L 27/10	3 2 1 5 F 0 8 3
G 1 1 C 11/404		29/78	6 1 3 B 5 F 1 1 0
11/407			6 1 7 N 5 M 0 2 4
H 0 1 L 27/108			6 1 8 F
29/786			6 1 7 K

審査請求 未請求 請求項の数26 O L (全 29 頁) 最終頁に続く

(21) 出願番号 特願2001-371802(P2001-371802)  
 (22) 出願日 平成13年12月5日 (2001. 12. 5)  
 (31) 優先権主張番号 特願2001-74236(P2001-74236)  
 (32) 優先日 平成13年3月15日 (2001. 3. 15)  
 (33) 優先権主張国 日本 (J P)

(71) 出願人 000003078  
 株式会社東芝  
 東京都港区芝浦一丁目1番1号  
 (72) 発明者 堀 口 文 男  
 東京都港区芝浦一丁目1番1号 株式会社  
 東芝本社事務所内  
 (72) 発明者 大 澤 隆  
 神奈川県川崎市幸区小向東芝町1番地 株  
 式会社東芝マイクロエレクトロニクスセン  
 ター内  
 (74) 代理人 100075812  
 弁理士 吉武 賢次 (外5名)

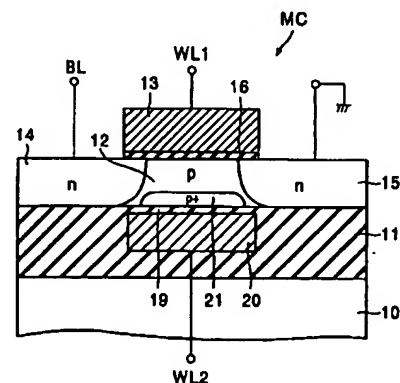
最終頁に続く

(54) 【発明の名称】 半導体メモリ装置

(57) 【要約】 (修正有)

【課題】単純なトランジスタ構造のメモリセルにより、ダイナミック記憶を可能とした半導体メモリ装置を提供する。

【解決手段】半導体メモリ装置の各M I Sトランジスタを、半導体層12と、半導体層12に形成されたソース領域15と、半導体層12にソース領域15と離れて形成され、ソース領域15とドレイン領域との間の半導体層が、フローティング状態のチャンネルボディとなるドレイン領域14と、チャンネルボディにチャンネルを形成するための第1のゲート13と、チャンネルボディの電位を容量結合により制御するための第2のゲート20と、チャンネルボディの第2のゲート側に形成され、チャンネルボディの不純物濃度よりも高い不純物濃度を有する高濃度領域21とを備えるものとする。



BEST AVAILABLE COPY

## 【特許請求の範囲】

【請求項1】メモリセルを構成するための複数のMISトランジスタを有する半導体メモリ装置であって、各MISトランジスタは、

半導体層と、

前記半導体層に形成されたソース領域と、

前記半導体層に前記ソース領域と離れて形成されたドレイン領域であって、前記ソース領域と前記ドレイン領域との間の前記半導体層が、フローティング状態のチャンネルボディとなる、ドレイン領域と、

前記チャンネルボディにチャンネルを形成するための第1のゲートと、

前記チャンネルボディの電位を容量結合により制御するための第2のゲートと、

前記チャンネルボディの前記第2のゲート側に形成された高濃度領域であって、前記チャンネルボディの不純物濃度よりも高い不純物濃度を有する、高濃度領域と、

を備え、

前記MISトランジスタは、前記チャンネルボディを第1の電位に設定した第1データ状態と、前記チャンネルボディを第2の電位に設定した第2データ状態とをダイナミックに記憶する、

ことを特徴とする半導体メモリ装置。

【請求項2】前記第1データ状態は、前記MISトランジスタを5極管動作させることによりドレイン接合近傍でインバクティオン化を起こすことにより書き込まれ、前記第2データ状態は、前記第1のゲートからの容量結合により所定電位が与えられた前記チャンネルボディと前記ドレイン領域との間に順方向バイアスを与えることにより書き込まれる、

ことを特徴とする請求項1記載の半導体メモリ装置。

【請求項3】前記第1のゲートと前記第2のゲートとは、別個に形成されていることを特徴とする請求項1記載の半導体メモリ装置。

【請求項4】前記MISトランジスタが複数個マトリクス配列され、第1の方向に並ぶMISトランジスタのドレイン領域がビット線に、第2の方向に並ぶMISトランジスタの第1のゲートが第1のワード線に、前記MISトランジスタのソース領域が固定電位に、前記第2の方向に並ぶ前記MISトランジスタの第2のゲートが第2のワード線にそれぞれ接続されてメモリセルアレイが構成されている、

ことを特徴とする請求項3記載の半導体メモリ装置。

【請求項5】前記MISトランジスタが複数個マトリクス配列され、第1の方向に並ぶMISトランジスタのドレイン領域がビット線に、第2の方向に並ぶMISトランジスタの第1のゲートがワード線に、前記MISトランジスタのソース領域が第1の固定電位に、前記MISトランジスタの第2のゲートは全MISトランジスタの共通プレートとして第2の固定電位にそれぞれ接続され

てメモリセルアレイが構成されている、

ことを特徴とする請求項3記載の半導体メモリ装置。

【請求項6】前記半導体層は、半導体基板上に絶縁膜により分離されて形成されたものであり、

前記第1のゲートは、前記半導体層の上部に第1のワード線として連続的に配設され、前記第2のゲートは、前記半導体層の下部に前記第1のワード線と並行する第2のワード線として連続的に配設されている、

ことを特徴とする請求項3記載の半導体メモリ装置。

10 【請求項7】前記半導体層は、半導体基板上に形成された柱状半導体であり、

前記第1のゲートは、前記柱状半導体層の一つの側面に対向するように形成され、前記第2のゲートは、前記柱状半導体層の前記第1のゲートと反対側の側面に形成された前記高濃度領域に対向するように形成され、前記ドレイン領域が前記柱状半導体の上面に、前記ソース領域が前記柱状半導体の下部に形成されている、

ことを特徴とする請求項3記載の半導体メモリ装置。

20 【請求項8】前記第1のゲートは、前記ソース領域に対する重なり量が正であり、前記ドレイン領域に対する重なり量が負である、ことを特徴とする請求項3記載の半導体メモリ装置。

【請求項9】前記第1のゲートは、前記ソース領域に対する重なり量が正であり、前記ドレイン領域に対する重なり量が負である、ことを特徴とする請求項5記載の半導体メモリ装置。

30 【請求項10】前記第1のゲートは、前記ソース領域に対する重なり量が正であり、前記ドレイン領域に対する重なり量が負である、ことを特徴とする請求項7記載の半導体メモリ装置。

【請求項11】前記第1のゲートと前記第2のゲートとを駆動する駆動回路であって、前記第2のゲートを、前記第1のゲートより低い電位で同期して駆動する、駆動回路を、さらに備えることを特徴とする請求項3記載の半導体メモリ装置。

【請求項12】前記第1のゲートと前記第2のゲートと同じ電位で同期して駆動する、駆動回路を、さらに備えることを特徴とする請求項3記載の半導体メモリ装置。

40 【請求項13】前記第1のゲートと前記第2のゲートとは、共通に形成された共通ゲートとして構成されている、ことを特徴とする請求項1記載の半導体メモリ装置。

【請求項14】前記高濃度領域は、前記チャンネルボディにおける前記共通ゲート側表面の一部に形成されている、ことを特徴とする請求項13記載の半導体メモリ装置。

【請求項15】前記高濃度領域は、前記ソース領域と前記ドレイン領域とに接している、ことを特徴とする請求項14記載の半導体メモリ装置。

50 【請求項16】前記高濃度領域は、前記ソース領域と前

記ドレイン領域とのいずれにも接していない、ことを特徴とする請求項14記載の半導体メモリ装置。

【請求項17】前記半導体層は、半導体基板上に形成された柱状半導体層であり、

前記共通ゲートは、前記柱状半導体層の周囲を取り囲むように形成され、前記柱状半導体層の一つ以上の側面に前記高濃度領域が形成され、前記ドレイン領域が前記柱状半導体の上面に、前記ソース領域が前記柱状半導体の下部に形成されている、

ことを特徴とする請求項13記載の半導体メモリ装置。 10

【請求項18】前記共通ゲートは、前記ソース領域に対する重なり量が正であり、前記ドレイン領域に対する重なり量が負である、ことを特徴とする請求項17記載の半導体メモリ装置。

【請求項19】前記半導体層は、半導体基板上に形成された凸型半導体層であり、

前記共通ゲートは、前記凸型半導体層の上面及び両側面に対向するように形成され、前記凸型半導体層の前記共通ゲートが対向する一つ以上の側面に前記高濃度領域が形成され、前記凸型半導体層に前記共通ゲートを挟んで 20

前記ドレイン領域及び前記ソース領域が形成されている、

ことを特徴とする請求項13記載の半導体メモリ装置。

【請求項20】前記第1データ状態は、負の電位が印加された前記第1のゲートにより誘起されるドレインリーク電流により書き込まれ、

前記第2データ状態は、前記第1のゲートからの容量結合により所定電位が与えられた前記半導体層と前記ドレイン領域との間に順方向バイアスを与えることにより書き込まれる、

ことを特徴とする請求項1記載の半導体メモリ装置。

【請求項21】メモリセルを構成するための複数のMISトランジスタを有する半導体メモリ装置であって、各MISトランジスタは、

半導体層と、

前記半導体層に形成されたソース領域と、

前記半導体層に前記ソース領域と離れて形成されたドレイン領域であって、前記ソース領域と前記ドレイン領域との間の前記半導体層が、フローティング状態のチャンネルボディとなる、ドレイン領域と、

前記チャンネルボディにチャンネルを形成するための第1のゲートと、

を備え、

前記MISトランジスタは、前記ソース領域から前記ドレイン領域へチャンネル電流が流れる場合と、前記ドレイン領域から前記ソース領域へチャンネル電流が流れる場合とで、同じ電位を前記第1のゲートに与えた場合でも異なる特性を有しており、且つ、

前記MISトランジスタは、ドレイン接合近傍でインバクティオン化を起こすかもしくは前記第1のゲートによ 50

り誘起されるドレインリーク電流により前記半導体層を第1の電位に設定した第1データ状態と、前記ドレイン領域と前記チャンネルボディとの間に順バイアス電流を流して前記半導体層を第2の電位に設定した第2データ状態とをダイナミックに記憶する、

ことを特徴とする半導体メモリ装置。

【請求項22】前記第1のゲートは、前記ソース領域に対する重なり量が正であり、前記ドレイン領域に対する重なり量が負である、ことを特徴とする請求項21記載の半導体メモリ装置。

【請求項23】前記MISトランジスタは、同じ電位を前記第1のゲートに与えた場合でも、前記ドレイン領域から前記ソース領域へ流れるチャンネル電流の方が、前記ソース領域から前記ドレイン領域へ流れるチャンネル電流よりも多い、ことを特徴とする請求項22記載の半導体メモリ装置。

【請求項24】前記MISトランジスタは、前記第1のゲートとは別に、前記チャンネルボディの電位を容量結合により制御するための第2のゲートを、さらに備えることを特徴とする請求項21記載の半導体メモリ装置。

【請求項25】前記MISトランジスタは、前記チャンネルボディにおける前記第2のゲート側の表面に形成され、且つ、前記チャンネルボディと同じ導電型で前記半導体層よりも高い不純物濃度を有する高濃度領域を、さらに備えることを特徴とする請求項24記載の半導体メモリ装置。

【請求項26】メモリセルを構成するための複数のMISトランジスタを有する半導体メモリ装置であって、各MISトランジスタは、

30 半導体層と、

前記半導体層に形成されたソース領域と、

前記半導体層に前記ソース領域と離れて形成されたドレイン領域であって、前記ソース領域と前記ドレイン領域との間の前記半導体層が、フローティング状態のチャンネルボディとなる、ドレイン領域と、

前記チャンネルボディにチャンネルを形成するためのゲートと、

を備え、

40 前記MISトランジスタは、ゲートに負の電位を印加することにより誘起されるドレインリーク電流を流すことで、前記半導体層を第1の電位に設定した第1データ状態と、前記ドレイン領域と前記チャンネルボディとの間に順バイアス電流を流して前記チャンネルボディを第2の電位に設定した第2データ状態とをダイナミックに記憶する、

ことを特徴とする半導体メモリ装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、トランジスタのチャンネルボディを記憶ノードとしてダイナミックにデー

タ記憶を行う半導体メモリ装置に関する。

【0002】

【従来の技術】従来のDRAMは、MOSトランジスタとキャパシタによりメモリセルが構成されている。DRAMの微細化は、トレンチキャパシタ構造やスタックトキャパシタ構造の採用により大きく進んでいる。現在、単位メモリセルの大きさ（セルサイズ）は、最小加工寸法をFとして、 $2F \times 4F = 8F^2$ の面積まで縮小されている。つまり、最小加工寸法Fが世代と共に小さくなり、セルサイズを一般に $\alpha F^2$ としたとき、係数 $\alpha$ も世代と共に小さくなり、F=0.18 $\mu$ mの現在、 $\alpha=8$ が実現されている。

【0003】

【発明が解決しようとする課題】今後も従来と変わらないセルサイズ或いはチップサイズのトレンドを確保するためには、F<0.18 $\mu$ mでは、 $\alpha<8$ 、更にF<0.13 $\mu$ mでは、 $\alpha<6$ を満たすことが要求され、微細加工と共に如何にセルサイズを小さい面積に形成するかが大きな課題になる。そのため、1トランジスタ/1キャパシタのメモリセルを $6F^2$ や $4F^2$ の大きさにする提案も種々なされている。しかし、トランジスタを縦型にしなければならないといった技術的困難や、隣接メモリセル間の電氣的干渉が大きくなるといった問題、更に加工や膜生成等の製造技術上の困難があり、実用化は容易ではない。

【0004】そこで、この発明は、単純なトランジスタ構造のメモリセルにより、ダイナミックにデータを記憶可能な半導体メモリ装置を提供することを1つの目的としている。

【0005】

【課題を解決するための手段】上記課題を解決するため、本発明に係る半導体メモリ装置は、メモリセルを構成するための複数のMISトランジスタを有する半導体メモリ装置であって、各MISトランジスタは、半導体層と、前記半導体層に形成されたソース領域と、前記半導体層に前記ソース領域と離れて形成されたドレイン領域であって、前記ソース領域と前記ドレイン領域との間の前記半導体層が、フローティング状態のチャンネルボディとなる、ドレイン領域と、前記チャンネルボディにチャンネルを形成するための第1のゲートと、前記チャンネルボディの電位を容量結合により制御するための第2のゲートと、前記チャンネルボディの前記第2のゲート側に形成された高濃度領域であって、前記チャンネルボディの不純物濃度よりも高い不純物濃度を有する、高濃度領域と、を備え、前記MISトランジスタは、前記チャンネルボディを第1の電位に設定した第1データ状態と、前記チャンネルボディを第2の電位に設定した第2データ状態とをダイナミックに記憶する、ことを特徴とする。

【0006】また、本発明に係る半導体メモリ装置は、メモリセルを構成するための複数のMISトランジスタ

を有する半導体メモリ装置であって、各MISトランジスタは、半導体層と、前記半導体層に形成されたソース領域と、前記半導体層に前記ソース領域と離れて形成されたドレイン領域であって、前記ソース領域と前記ドレイン領域との間の前記半導体層が、フローティング状態のチャンネルボディとなる、ドレイン領域と、前記チャンネルボディにチャンネルを形成するための第1のゲートと、を備え、前記MISトランジスタは、前記ソース領域から前記ドレイン領域へチャンネル電流が流れる場合と、前記ドレイン領域から前記ソース領域へチャンネル電流が流れる場合とで、同じ電位を前記第1のゲートに与えた場合でも異なる特性を有しており、且つ、前記MISトランジスタは、ドレイン接合近傍でインバクティオン化を起こすかもしくは前記第1のゲートにより誘起されるドレインリーク電流により前記半導体層を第1の電位に設定した第1データ状態と、前記ドレイン領域と前記チャンネルボディとの間に順バイアス電流を流して前記半導体層を第2の電位に設定した第2データ状態とをダイナミックに記憶する、ことを特徴とする。

【0007】また、本発明に係る半導体メモリ装置は、メモリセルを構成するための複数のMISトランジスタを有する半導体メモリ装置であって、各MISトランジスタは、半導体層と、前記半導体層に形成されたソース領域と、前記半導体層に前記ソース領域と離れて形成されたドレイン領域であって、前記ソース領域と前記ドレイン領域との間の前記半導体層が、フローティング状態のチャンネルボディとなる、ドレイン領域と、前記チャンネルボディにチャンネルを形成するためのゲートと、を備え、前記MISトランジスタは、ゲートに負の電位を印加することにより誘起されるドレインリーク電流を流すことで、前記半導体層を第1の電位に設定した第1データ状態と、前記ドレイン領域と前記チャンネルボディとの間に順バイアス電流を流して前記チャンネルボディを第2の電位に設定した第2データ状態とをダイナミックに記憶する、ことを特徴とする半導体メモリ装置。

【0008】

【発明の実施の形態】以下、図面を参照して、この発明の実施の形態を説明する。

【0009】【基本コンセプト】図1は後述する各実施の形態によるDRAMの単位メモリセルMCの基本断面構造を示し、図2はその等価回路を示している。メモリセルMCは、SOI構造のNチャンネルMISトランジスタにより構成されている。即ち、シリコン基板10上に絶縁膜としてシリコン酸化膜11が形成され、このシリコン酸化膜11上にp型シリコン層12が形成されたSOI基板が用いられている。この基板のシリコン層12上に、ゲート酸化膜16を介してゲート電極13が形成され、ゲート電極13に自己整合されてn型ソース、ドレイン拡散層14、15が形成されている。

【0010】ソース、ドレイン14、15は、底部のシ

リコン酸化膜11に達する深さに形成されている。従って、p型シリコン層12からなるチャネルボディは、チャネル幅方向（図の紙面に直交する方向）の分離を酸化膜で行うとすれば、底面及びチャネル幅方向の側面が他から絶縁分離され、チャネル長方向はpn接合分離されたフローティング状態になる。

【0011】このメモリセルMCをマトリクス配列する場合、ゲート13はワード線WLに接続され、ソース15は固定電位線（接地電位線）に接続され、ドレイン14はビット線BLに接続される。

【0012】図3は、メモリセルアレイのレイアウトを示し、図4A及び図4Bはそれぞれ図3のA-A'、B-B'断面を示している。p型シリコン層12は、シリコン酸化膜22の埋め込みにより、格子状にパターン形成される。即ちドレインを共有する二つのトランジスタの領域がワード線WL方向にシリコン酸化膜22により素子分離されて配列される。或いはシリコン酸化膜22の埋め込みに代わって、シリコン層12をエッチングすることにより、横方向の素子分離を行っても良い。ゲート13は一方向に連続的に形成されて、これがワード線WLとなる。ソース15は、ワード線WL方向に連続的に形成されて、これが固定電位線（共通ソース線）となる。

【0013】トランジスタ上は層間絶縁膜23で覆われこの上にビット線BLが形成される。ビット線BLは、二つのトランジスタで共有するドレイン14にコンタクトして、ワード線WLと交差するように配設される。なおソース15の固定電位線（共通ソース線）の配線抵抗を低下させるために、ビット線BLの上又は下に、ワード線WLと平行な金属配線を形成し、これを複数のビット線毎に固定電位線に接続するようにしてもよい。

【0014】これにより、各トランジスタのチャネルボディであるシリコン層12は、底面及びチャネル幅方向の側面が酸化膜により互いに分離され、チャネル長方向にはpn接合により互いに分離されてフローティング状態に保たれる。

【0015】そしてこのメモリセルアレイ構成では、ワード線WLおよびビット線BLを最小加工寸法Fのピッチで形成したとして、単位セル面積は、図3に破線で示したように、 $2F \times 2F = 4F^2$ となる。

【0016】このnチャネル型MISトランジスタからなるメモリセルMCの動作原理は、MISトランジスタのチャネルボディ（他から絶縁分離されたp型シリコン層12）の多数キャリアであるホールの蓄積を利用する。即ち、トランジスタを5極管領域で動作させることにより、ドレイン14から大きな電流を流し、ドレイン14の近傍でインバクティオン化を起こす。このインバクティオン化により生成される多数キャリアであるホールをp型シリコン層12に保持させ、そのホール蓄積状態を例えばデータ“1”とする。ドレイン14とp型シ

リコン層12の間のpn接合を順方向バイアスして、p型シリコン層12の過剰ホールをドレイン側に放出した状態をデータ“0”とする。

【0017】データ“0”、“1”は、チャネルボディの電位の差として、従ってトランジスタのしきい値電圧の差として記憶される。即ち、ホール蓄積によりチャネルボディの電位が高いデータ“1”状態のしきい値電圧 $V_{th1}$ は、データ“0”状態のしきい値電圧 $V_{th0}$ より低い。ボディに多数キャリアであるホールを蓄積した“1”データ状態を保持するためには、ワード線には負のバイアス電圧を印加することが必要になる。このデータ保持状態は、理論上、リニア領域で読み出し動作を行っている限り、且つ、逆データの書き込み動作（消去）を行わない限り、読み出し動作を行っても変わらない。即ち、キャパシタの電荷蓄積を利用する1トランジスタ/1キャパシタのDRAMと異なり、非破壊読み出しが可能である。

【0018】データ読み出しの方式には、いくつか考えられる。ワード線電位 $V_w$ とチャネルボディ電位 $V_B$ の関係は、データ“0”、“1”との関係で図5のようになる。従ってデータ読み出しの第1の方法は、ワード線WLにデータ“0”、“1”のしきい値電圧 $V_{th0}$ 、 $V_{th1}$ の間になる読み出し電位を与えて、“0”データのメモリセルでは電流が流れず、“1”データのメモリセルでは電流が流れることを利用する。具体的には例えば、ビット線BLを所定の電位 $V_{BL}$ にプリチャージして、その後ワード線WLを駆動する。これにより、図6に示すように、“0”データの場合、ビット線プリチャージ電位 $V_{BL}$ の変化がなく、“1”データの場合はプリチャージ電位 $V_{BL}$ が低下する。

【0019】第2の読み出し方式は、ワード線WLを立ち上げてから、ビット線BLに電流を供給して、“0”、“1”の導通度に応じてビット線電位の上昇速度が異なることを利用する。簡単には、ビット線BLを0Vにプリチャージし、図7に示すようにワード線WLを立ち上げて、ビット線電流を供給する。このとき、ビット線の電位上昇の差をダミーセルを利用して検出することにより、データ判別が可能となる。

【0020】第3の読み出し方式は、ビット線BLを所定の電位にクランプしたときの、“0”、“1”で異なるビット線電流の差を読む方式である。電流差を読み出すには、電流-電圧変換回路が必要であるが、最終的には電位差を差動増幅して、センス出力を出す。

【0021】この発明において、選択的に“0”データを書き込むためには、即ちメモリセルアレイのなかで選択されたワード線WLとビット線BLの電位により選択されたメモリセルのチャネルボディのみからホールを放出させるには、ワード線WLとチャネルボディの間の容量結合が本質的になる。データ“1”でチャネルボディにホールが蓄積された状態は、ワード線を十分負方向に

バイアスして、メモリセルのゲート・チャンネルボディ間容量が、ゲート酸化膜容量となる状態（即ち表面に空乏層が形成されていない状態）で保持することが必要である。

【0022】また、書き込み動作は、“0”、“1”共に、パルス書き込みとして消費電力を減らすことが好ましい。“0”書き込み時、選択トランジスタのチャンネルボディからドレインにホール電流が、ドレインからチャンネルボディに電子電流が流れるが、チャンネルボディにホールが注入されることはない。

【0023】より具体的な動作波形を説明する。図8～図11は、選択セルによるビット線の放電の有無によりデータ判別を行う第1の読み出し方式を用いた場合のリード／リフレッシュ及びリード／ライトの動作波形である。

【0024】図8及び図9は、それぞれ“1”データ及び“0”データのリード／リフレッシュ動作である。時刻 $t_1$ までは、データ保持状態（非選択状態）であり、ワード線WLには負電位が与えられている。時刻 $t_1$ でワード線WLを正の所定電位に立ち上げる。このときワード線電位は、“0”、“1”データのしきい値 $V_{th0}$ 、 $V_{th1}$ の間に設定する。これにより、“1”データの場合、予めプリチャージされていたビット線VBLは放電により低電位になる。“0”データの場合はビット線電位VBLは保持される。これにより“1”、“0”データが判別される。

【0025】そして、時刻 $t_2$ で、ワード線WLの電位を更に高くし、同時に読み出しデータが“1”の場合には、ビット線BLに正電位を与え（図8）、読み出しデータが“0”の場合はビット線BLに負電位を与える（図9）。これにより、選択メモリセルが“1”データの場合、5極管動作により大きなチャンネル電流が流れてインパクトイオン化が起り、チャンネルボディに過剰のホールが注入保持されて再度“1”データが書き込まれる。“0”データの場合には、ドレイン接合が順方向バイアスになり、チャンネルボディに過剰ホールが保持されていない“0”データが再度書き込まれる。

【0026】そして、時刻 $t_3$ でワード線WLを負方向にバイアスして、リード／リフレッシュ動作を終了する。“1”データ読み出しを行ったメモリセルと同じビット線BLにつながる他の非選択メモリセルでは、ワード線WLが負電位、従ってチャンネルボディが負電位に保持されて、インパクトイオン化は起らない。“0”データ読み出しを行ったメモリセルと同じビット線BLにつながる他の非選択メモリセルでは、やはりワード線WLが負電位に保持されて、ホール放出は起らない。

【0027】図10及び図11は、同じ読み出し方式によるそれぞれ“1”データ及び“0”データのリード／ライト動作である。図10及び図11での時刻 $t_1$ での読み出し動作はそれぞれ、図8及び図9と同様である。

読み出し後、時刻 $t_2$ でワード線WLを更に高電位とし、同じ選択セルに“0”データを書き込む場合には同時に、ビット線BLに負電位を与え（図10）、“1”データを書き込む場合にはビット線BLに正電位を与える（図11）。これにより、“0”データが与えられたセルでは、ドレイン接合が順方向バイアスになり、チャンネルボディのホールが放出される。“1”データが与えられたセルでは、ドレイン近傍でインパクトイオン化が起り、チャンネルボディに過剰ホールが注入保持される。

10

【0028】図12～図15は、ビット線BLを0Vにプリチャージし、ワード線選択後にビット線BLに電流を供給して、ビット線BLの電位上昇速度によりデータ判別を行う第2の読み出し方式を用いた場合のリード／リフレッシュ及びリード／ライトの動作波形である。

20

【0029】図12及び図13は、それぞれ“1”データ及び“0”データのリード／リフレッシュ動作である。負電位に保持されていたワード線WLを、時刻 $t_1$ で正電位に立ち上げる。このときワード線電位は、図7に示したように、“0”、“1”データのしきい値 $V_{th0}$ 、 $V_{th1}$ のいずれよりも高い値に設定する。或いは、ワード線電位を、第1の読み出し方式と同様に、“0”、“1”データのしきい値 $V_{th0}$ 、 $V_{th1}$ の間に設定してもよい。そして、時刻 $t_2$ でビット線に電流を供給する。これにより、“1”データの場合、メモリセルが深くオンしてビット線BLの電位上昇は小さく（図12）、“0”データの場合メモリセルの電流が小さく（或いは電流が流れず）、ビット線電位は急速に上昇する。これにより“1”、“0”データが判別される。

30

【0030】そして、時刻 $t_3$ で読み出しデータが“1”の場合には、ビット線BLに正の電位を与え（図12）、読み出しデータが“0”の場合はビット線BLに負の電位を与える（図13）。これにより、選択メモリセルが“1”データの場合、ドレイン電流が流れてインパクトイオン化が起り、チャンネルボディに過剰ホールが注入保持されて再度“1”データが書き込まれる。“0”データの場合には、ドレイン接合が順方向バイアスになり、チャンネルボディに過剰ホールのない“0”データが再度書き込まれる。

40

【0031】時刻 $t_4$ でワード線WLを負方向にバイアスして、リード／リフレッシュ動作を終了する。

【0032】図14及び図15は、同じ読み出し方式によるそれぞれ“1”データ及び“0”データのリード／ライト動作である。図14及び図15での時刻 $t_1$ 及び $t_2$ での読み出し動作はそれぞれ、図12及び図13と同様である。読み出し後、同じ選択セルに“0”データを書き込む場合には、ビット線BLに負電位を与え（図14）、“1”データを書き込む場合にはビット線BLに正電位を与える（図15）。これにより、“0”データ

50

タが与えられたセルでは、ドレイン接合が順方向バイアスになり、チャンネルボディの過剰ホールが放出される。

“1”データが与えられたセルでは、大きなドレイン電流が流れてドレイン近傍でインパクトイオン化が起こり、チャンネルボディに過剰ホールが注入保持される。

【0033】以上のようにこの発明によるメモリセルMCは、他から電氣的に分離されたフローティングのチャンネルボディを持つ単純なMISトランジスタにより構成され、 $4F^2$ のセルサイズが実現可能である。また、フローティングのチャンネルボディの電位制御は、ゲート電極からの容量結合を利用しており、ソースも固定電位である。即ち、読み出し/書き込みの制御は、ワード線WLとビット線BLで行われ、簡単である。更にメモリセルMCは基本的に非破壊読み出しであるので、センスアンプをビット線毎に設ける必要がなく、センスアンプのレイアウトは容易になる。更に電流読み出し方式であるので、ノイズにも強く、例えばオープンビット線方式でも読み出しが可能である。また、メモリセルの製造プロセスも簡単である。

【0034】また、SOI構造は、今後のロジックLSIの性能向上を考えたときに重要な技術となる。この発明によるDRAMは、この様なSOI構造のロジックLSIとの混載を行う場合にも非常に有望である。キャパシタを用いる従来のDRAMと異なり、ロジックLSIのプロセスと異なるプロセスを必要とせず、製造工程が簡単になるからである。

【0035】更に、この発明によるSOI構造のDRAMは、従来の1トランジスタ/1キャパシタ型のDRAMをSOI構造とした場合に比べて、優れた記憶保持特性が得られるという利点がある。即ち従来の1トランジスタ/1キャパシタ型のDRAMをSOI構造とすると、フローティングのチャンネルボディにホールが蓄積されてトランジスタのしきい値が下がり、トランジスタのサブスレッショルド電流が増加する。これは記憶保持特性を劣化させる。これに対してこの発明による1トランジスタのみのメモリセルでは、記憶電荷を減少させるトランジスタバスは存在せず、データ保持特性は純粋にpn接合のリークのみで決まり、サブスレッショルドリークという問題がなくなる。

【0036】ここまで説明した基本的なメモリセルにおいて、チャンネルボディの電位の差として記憶されるデータ“0”、“1”のしきい値電圧差をどれだけ大きくとれるかがメモリ特性にとって重要になる。この点に関してシミュレーションを行った結果によると、ゲートからの容量結合によるチャンネルボディの電位制御を伴うデータ書き込みの際に、書き込み直後の“0”、“1”データのチャンネルボディ電位差に比べて、その後のデータ保持状態での“0”、“1”データのチャンネルボディ電位差が小さくなることが明らかになった。そのシミュレーション結果を次に説明する。

【0037】デバイス条件は、ゲート長 $L_g = 0.35 \mu m$ 、p型シリコン層12は厚さが $t_{Si} = 100 nm$ 、アクセプタ濃度が $NA = 5 \times 10^{17} / cm^3$ であり、ソース14及びドレイン15のドナー濃度が $ND = 5 \times 10^{20} / cm^3$ 、ゲート酸化膜厚が $t_{ox} = 10 nm$ である。

【0038】図16は、“0”データ書き込みと、その後のデータ保持及びデータ読み出し（それぞれ瞬時に示している）におけるゲート電位 $V_g$ 、ドレイン電位 $V_d$ 、及びチャンネルボディの電位 $V_B$ を示している。図17は同じく、“1”データ書き込みと、その後のデータ保持及びデータ読み出し（それぞれ瞬時に示している）におけるゲート電位 $V_g$ 、ドレイン電位 $V_d$ 、及びチャンネルボディ電位 $V_B$ を示している。

【0039】また、時刻 $t_6 - t_7$ のデータ読み出し動作における“0”データのしきい値電圧 $V_{th0}$ と、“1”データのしきい値電圧 $V_{th1}$ を見るために、その時間のドレイン電流 $I_{ds}$ とゲート・ソース間電圧 $V_{gs}$ を描くと、図18のようになる。但し、チャンネル幅 $W$ とチャンネル長 $L$ を $W/L = 0.175 \mu m / 0.35 \mu m$ とし、ドレイン・ソース間電圧を $V_{ds} = 0.2 V$ としている。

【0040】図18から、“0”書き込みセルのしきい値電圧 $V_{th0}$ と“1”書き込みセルのしきい値電圧 $V_{th1}$ の差 $\Delta V_{th}$ は、 $\Delta V_{th} = 0.32 V$ となっている。以上の解析結果から、問題になるのは、図16及び図17において、“0”書き込み直後（時刻 $t_3$ ）のチャンネルボディ電位が $V_B = -0.77 V$ 、“1”書き込み直後のチャンネルボディ電位が $V_B = 0.85 V$ であり、その差が $1.62 V$ であるのに対し、データ保持状態（時刻 $t_6$ ）では、“0”書き込みセルのチャンネルボディ電位が $V_B = -2.04 V$ 、“1”書き込みセルのボディ電位が $V_B = -1.6 V$ であり、その差が $0.44 V$ と書き込み直後より小さくなっていることである。

【0041】このように書き込み直後に比べて、その後のデータ保持状態でのチャンネルボディ電位のデータによる差が小さくなる要因は、二つ考えられる。

【0042】その一つは、ゲートからチャンネルボディへの容量カップリングがデータにより異なることである。

“0”書き込み直後（ $t_3 - t_4$ ）では、ドレインは $-1.5 V$ であるが、“1”書き込み直後ではドレインが $2 V$ である。従って、その後ゲート電位 $V_g$ を下げたとき、“1”書き込みセルではチャンネルが容易に消失し、ゲート・チャンネルボディ間の容量が顕在化して、次第にチャンネルボディにホールが蓄積されて容量が大きくなる。一方、“0”書き込みセルではチャンネルが容易には消失せず、ゲート・チャンネルボディ間容量が顕在化しない。

【0043】ゲート電位を下げ始めるより先にドレイン電位を $200 mV$ にリセットすれば、上述したアンバラ



ンスは解消されるかに思われる。しかしこの場合には、“0”書き込みを行ったセルでは、チャンネルが形成された状態でドレイン電位が上昇して3極管動作による電流が流れる。そして、“0”書き込みにより折角下げたチャンネルボディ電位が、n型のドレイン及びチャンネル反転層とp型のチャンネルボディとの間の容量結合により上昇してしまい、好ましくない。

【0044】もう一つは、書き込み後の時刻 $t_4 - t_5$ の間で、ソース或いはドレインとチャンネルボディとの間のpn接合の容量でチャンネルボディ電位が影響され、これが“0”、“1”データの信号量を減らす方向に作用することである。

【0045】そこで、上記基本メモリセルに対して、チャンネル形成の制御を行うためのゲート（第1のゲート）とは別に、チャンネルボディを容量結合により電位制御するためのゲート（第2のゲート）を付加する。第2のゲートとチャンネルボディとの間の容量を確保するために、第2のゲート側の表面には、チャンネル反転層が形成されることなく、蓄積状態（アキュムレーション状態）を保つように、チャンネルボディと同じ導電型の高濃度領域を形成する。そして、第2のゲートは、例えば第1のゲートより低い電位で、或いは同じ電位で第1のゲートと同期して駆動する。或いはまた第2のゲートは例えば、ソースに与えられる基準電位或いはそれより低い電位（nチャンネルの場合であれば、負電位）に固定してもよい。

【0046】以下に具体的な実施の形態を説明する。

【0047】〔実施の形態1〕図19Aは、この発明の実施の形態1によるメモリセルMCの構造を、図1に対応させて示している。基本構造は、図1と同様であり、図1と異なる点は、チャンネル制御を行う第1のゲート13とは別に、シリコン層12にゲート絶縁膜19を介して対向して容量結合する第2のゲート20が酸化膜11に埋め込まれている点、及びシリコン層12の第2のゲート20側の表面には、チャンネル反転層が形成されない程度の高濃度の $p^+$ 型層21を形成している点である。すなわち、シリコン層12には、このシリコン層12と同じ導電型で、且つ、シリコン層12の不純物濃度よりも高い不純物濃度を有する、 $p^+$ 型層21が形成されている。この $p^+$ 型層21が存在することにより、第1のゲート13と第2のゲート20に正の電位を印加して書き込みを行う場合でも、第1のゲート13側のチャンネルボディにはチャンネルが形成されるが、第2のゲート20側のチャンネルボディにはチャンネルが形成されないようになる。

【0048】なお、この実施の形態のメモリセルMCにおいては、ゲート絶縁膜19は、第1のゲート13側のゲート絶縁膜16と同じ膜厚としている。

【0049】実際のメモリセルアレイ構成では、図19Aに示すメモリセルMCが複数個マトリクス配列され、

第1のゲート13は第1のワード線WL1として連続的に形成され、第2のゲート20はこれと並行する第2のワード線WL2として配設される。

【0050】図19Bは、このようなメモリセルMCを複数、マトリクス配列したメモリセルアレイの等価回路を示している。一方向に並ぶ複数のメモリセルMCの第1のゲート（G1）13は、第1のワード線WL1に接続され、第2のゲート（G2）20は、第2のワード線WL2に接続される。これらのワード線WL1、WL2と交差する方向に、メモリセルMCのドレインが接続されるビット線BLが配設される。全メモリセルMCのソース15は固定電位線（接地電位線VSS）に接続される。

【0051】図19Cは、メモリセルアレイのレイアウトを示し、図19D、図19Eはそれぞれ図19CのA-A'、B-B'線断面を示している。p型シリコン層12は、シリコン酸化膜22の埋め込みにより、格子状にパターン形成される。即ちドレイン14を共有する二つのトランジスタの領域がワード線WL1、WL2の方向にシリコン酸化膜22により素子分離されて配列される。或いはシリコン酸化膜22の埋め込みに代わって、シリコン層12をエッチングすることにより、横方向の素子分離を行っても良い。第1のゲート13及び第2のゲート20は、一方向に連続的に形成されて、これらがワード線WL1及びWL2となる。ソース15は、ワード線WL1、WL2の方向に連続的に形成されて、これが固定電位線（共通ソース線）となる。トランジスタ上は層間絶縁膜17で覆われこの上にビット線（BL）18が形成される。ビット線18は、二つのトランジスタで共有するドレイン14にコンタクトして、ワード線WL1、WL2と交差するように配設される。

【0052】これにより、各トランジスタのチャンネルボディであるシリコン層12は、底面及びチャンネル幅方向の側面が酸化膜により互いに分離され、チャンネル長方向にはpn接合により互いに分離されて、フローティング状態に保たれる。

【0053】そしてこのメモリセルアレイ構成では、ワード線WL1、WL2およびビット線BLを最小加工寸法Fのピッチで形成したとして、単位セル面積は、図19Cに破線で示したように、 $2F \times 2F = 4F^2$ となる。

【0054】このような構成として、先に基本メモリセルを用いて説明したと同様の動作を行う。このとき、第2のワード線WL2は、第1のワード線WL1と同期して、第1のワード線WL1より低い電位で駆動するものとする。この様に、第2のゲート20を第1のゲート13と共に駆動することにより、しきい値電圧差の大きい“0”、“1”データ書き込みができる。即ち、第2のゲート20をデータ保持状態では負電位にして、“1”データの蓄積状態を良好に保持しながら、データ書き込



み時にその電位を上昇させることにより、容量結合によりチャネルボディ電位を上昇させて、データ書き込みを確実にすることができる。

【0055】すなわち、“0”データ書き込みの場合に、第1のゲート13に正の電位を印加するが、そうすると、チャネルボディの第1のゲート13側にチャネル反転層が形成される。しかし、チャネル反転層が形成されると、このチャネル反転層が阻害要因となり、第1のゲート13によるチャネルボディへの容量結合が弱くなる。このため、第1のゲート13に正の電位を印加してもチャネルボディの電位を十分に上昇させることができなくなってしまう。

【0056】しかし、この実施の形態では、第2のゲート20にも正の電位を印加することにより、チャネルボディの電位を十分に上昇させることができる。なぜなら、 $p^+$ 型層21が形成されているため、チャネルボディの第2のゲート20側にはチャネル反転層が形成されず、したがって、第2のゲート20に正の電位を印加することにより、容量結合でチャネルボディの電位を十分に上昇させることができるのである。このため、的確な“0”データ書き込みが可能である。

【0057】また、非選択の第1のワード線WL1の電位を下げることでデータ保持を行うが、このとき対をなす第2のワード線WL2の電位も下げてチャネルボディ電位を低く制御することにより、同じビット線に接続された他のセルで“0”データ書き込みを行う場合に、

“1”データを保持する非選択セルでのデータ破壊が確実に防止される。更に、“1”書き込みビット線に接続される非選択の“0”データセルでは、表面ブレイクダウンやGIDL電流によるデータ破壊の懸念があるが、この実施の形態の場合、第2のワード線によりチャネルボディ電位を下げることで、これらの懸念も解消される。

【0058】更に、“0”書き込み時、ビット線の電位を大きく下げると、ソースからビット線に電流が流れるが、この実施の形態の場合、第2のゲート20によりチャネルボディ電位を上昇せしめるため、ビット線電位をそれほど下げる必要がない。例えばビット線電位をソースの基準電位と同じ程度として、ソースからビット線に流れる電流を抑制することが可能である。

【0059】またデータ読み出し時は、誤まって“1”書き込みにならないように、3極管動作させることが必要である。このため、ビット線電位は“1”書き込み時より低い。このためドレインとチャネルボディ間の空乏層の伸びは、“1”書き込み時より小さく、従ってビット線とチャネルボディの容量結合が大きくなる。このことは、書き込み時にチャネルボディに注入されたキャリアが容量再分配されて、チャネルボディ電位の低下の原因となる。この実施の形態においては、第2のゲート20による制御によって、チャネルボディの多数キャリ

ア蓄積状態を良好に保持することができる。

【0060】なお、上の説明では、第1のゲート13に対して第2のゲート20を低い電位で駆動するようにしたが、第2のゲート20側のチャネルボディ表面には $p^+$ 型層21を形成しているため、第2のゲート20を第1のゲート13と同じ電位で駆動してもチャネル反転層が形成されることはなく、チャネルボディに対して大きな容量結合で電位制御することができる。

【0061】また、第1のゲート13側のゲート絶縁膜16と第2のゲート20側のゲート絶縁膜19は、厚みが同じでなくてもよく、必要とする容量結合の大きさに応じてそれぞれ最適設定することができる。

【0062】また、この実施の形態では、第1のゲート13と第2のゲート20をシリコン層の上下面に対向させたが、同じ面に対向させるようにしてもよい。具体的には、第1のゲートと第2のゲートを一体として配設し、チャネル領域の一部にチャネル反転層の形成を防止する高濃度領域を形成することにより、上記実施の形態と同様の動作が可能になる。第1のゲートと第2のゲートをシリコン層の同じ面に別々に配置することもできる。

【0063】図19Fは、第1のゲート13と第2のゲート20を一体にしたメモリセルMCの構成を示す斜視図であり、図19Gは、図19FのA-A'断面を示しており、図19Hは、図19FのB-B'断面を示している。

【0064】これらの図から分かるように、この例では、第2のゲート20は形成されておらず、第1のゲート13が第2のゲート20と同様の役割を果たすようにしている。このために、シリコン層12の表面側半分の領域に、高濃度の $p^+$ 型層21が形成されている。すなわち、この例では、シリコン層12が不純物濃度の低い $p^-$ 型の領域として形成されており、 $p^+$ 型層21がこれよりも不純物濃度が高い $p^+$ 型の領域として形成されている。

【0065】 $p^+$ 型層21は、その平面視において、シリコン層12のおよそ半分の領域に形成されている。 $p^+$ 型層21の深さは、ゲート絶縁膜16と酸化膜11との間の位置まで形成されている。あるいは、酸化膜11まで届いても構わない。この $p^+$ 型層21を形成する大きさは任意であり、第1のゲート13を駆動した場合にチャネル反転層が形成されないようにして、チャネルボディに対して大きな容量結合で電位制御できればよい。

【0066】図19Iは、図19Fに示したメモリセルMCをマトリクス状に配置したメモリセルアレイのレイアウトを示す図であり、図19Cに対応する図である。図19Jは、図19IのA-A'断面を示す図であり、図19Kは、図19IのB-B'断面を示す図であり、図19Lは、図19IのC-C'断面を示す図である。

【0067】これらの図から分かるように、ゲート13

は一方方向に連続的に形成されて、1つのワード線WLとなる。但し、この例では、上述した第2のゲート20が存在しないので、第2のワード線WL2は形成されていない。ビット線18は、二つのトランジスタで共有するドレイン14にコンタクトして、ワード線WLと交差するように配設される。そして、ドレイン14及びソース15の間のチャネルボディにおけるワード線WL側の一部に、 $p^+$ 型層21が形成される。

【0068】なお、このメモリセルMCにおいては、図19Hに示すように、 $p^+$ 型層21は、そのB-B'断面方向において、ドレイン領域14とソース領域15に接するように形成されている。但し、必ずしも $p^+$ 型層21は、ドレイン領域14とソース領域15に接していなくともよい。

【0069】そのような例を、図19M及び図19Nに示す。図19Mは、メモリセルMCの構成を示す斜視図であり、図19Fに対応する図である。図19Nは、図19MにおけるB-B'断面を示す図であり、図19Hに対応する図である。図19MにおけるA-A'断面は、先に示した図19Gと同様である。

【0070】これら図19M及び図19Nに示すように、 $p^+$ 型層21は、ドレイン領域14とソース領域15と接していない。このようにすることにより、このメモリセルMCのリテンション時間が短くなってしまうのを、回避することができる。より詳しく説明すると、 $p^+$ 型層21とn型のドレイン領域14とソース領域15とが直接的に接すると、pn接合に逆バイアスが印加された場合の空乏層の伸びが小さくなってしまう。すると、電界の強さが大きくなり、pn接合部分のリーク電流が増加してしまい、メモリセルMCがデータを保持することのできる時間であるリテンション時間が短くなってしまうのである。

【0071】これに対して、図19M及び図19Nに示すように、 $p^+$ 型層21をドレイン領域14とソース領域15と接しないように形成することにより、このような事態を回避することができる。つまり、 $p^+$ 型層21がドレイン領域14とソース領域15と接する場合と比べて、メモリセルMCのリテンション時間を長くすることができるのである。

【0072】【実施の形態2】図20は、実施の形態2によるメモリセルMCの構造である。図19Aの実施の形態と異なりこの実施の形態では、第2のゲート20は、配線としてパターンニングされず、セルアレイ領域全体をカバーするように共通のゲート（バックプレート）として配設される。すなわち、第2のゲート20は、このメモリセルアレイ内にあるすべてのMISトランジスタに共通に設けられている。この様な構造とすれば、第2のゲート20と第1のゲート13の位置合わせが不要であり、製造プロセスが簡単になる。

【0073】この様な構成として、第2のゲート20を

例えばソース電位或いはそれより低い電位に固定して、先の基本メモリセルで説明したと同様の動作を行う。この場合にも、第1のゲート13（ワード線WL）の振幅を大きくすることにより、“0”、“1”データの信号差を大きくすることができる。即ち、第2のゲート20を固定電位でチャネルボディに容量結合させると、第1のゲート13からのチャネルボディに対する容量結合は基本メモリセルの場合に比べて容量分割により小さくなる。しかしその分、第1のゲート13の駆動振幅を上げることによって、第1のゲート13によるチャネルボディの電位を、“0”、“1”データについて大きな差のない状態で制御することができ、データ保持状態で“0”、“1”データのしきい値電圧差を大きくすることが可能になる。

【0074】【実施の形態3】図21は、実施の形態3によるメモリセルアレイのレイアウトを示し、図22はそのA-A'断面を示している。ここまでの実施の形態では、フローティングのチャネルボディを持つトランジスタを作るためにSOI基板を用いたのに対し、この実施の形態では、いわゆるSGT（Surrounding Gate Transistor）構造を利用して、フローティングのチャネルボディを持つ縦型MISトランジスタによりメモリセルを構成する。

【0075】シリコン基板10には、RIEにより、縦横に走る溝を加工して、p型柱状シリコン30が配列形成される。これらの各柱状シリコン30の両側面に対向するように、第1のゲート13と第2のゲート20が形成される。第1のゲート13と第2のゲート20は、図22の断面において、柱状シリコン30の間に交互に埋め込まれる。第1のゲート13は、側壁残しの技術により、隣接する柱状シリコン30の間に隣接する柱状シリコン30に対して独立したゲート電極として分離形成される。一方第2のゲート20は、隣接する柱状シリコン30の間にこれらが共有するように埋め込まれる。第1、第2のゲート13、20はそれぞれ、第1、第2のワード線WL1、WL2として連続的にパターン形成される。

【0076】柱状シリコン30の上面にn型ドレイン拡散層14が形成され、下部には全セルで共有されるn型ソース拡散層15が形成される。また柱状シリコン層30の第2のゲート20側の側面には、 $p^+$ 型層21が形成される。これにより、各チャネルボディがフローティングである縦型トランジスタからなるメモリセルMCが構成される。ゲート13、20が埋め込まれた基板には層間絶縁膜17が形成され、この上にビット線18が配設される。

【0077】この実施の形態によっても、先の各実施の形態と同様の動作ができる。この実施の形態によれば、SOI基板を用いる必要がなく、従ってメモリセルのみ縦型トランジスタによるフローティングのチャネルボディ

ィを持たせ、セルアレイ以外のセンスアンプ、トランスファゲート、ロウ/カラムデコーダ等の周辺回路は通常の平面型トランジスタを用いることができる。このため、SOI基板を用いた場合のように、チャネルボディ浮遊効果による回路の不安定性がなくするために周辺回路トランジスタのチャネルボディ電位を固定するためのコンタクトを形成するという必要がなく、それだけ周辺回路部の面積縮小が可能になる。

【0078】【実施の形態4】図23及び図24は、実施の形態3と同様のSGT構造を用いた実施の形態のセルアレイのレイアウトとそのA-A'断面を、図21及び図22に対応させて示している。実施の形態3との相違は、ゲート13と20とが一体に柱状シリコン層30の周囲を取り巻いて、共通のワード線WLとして配設されていることである。柱状シリコン層30のゲート20が対向する側面には、実施の形態3と同様に、 $p^+$ 型層21が形成されている。

【0079】この実施の形態の場合、ゲート13、20は、ワード線WLとして一体に同電位で駆動されることになる。ゲート20側は $p^+$ 型層21があるためにチャネル反転層が形成されることはなく、従ってワード線WLは大きな容量でチャネルボディに結合して、その電位を制御することができる。この $p^+$ 型層21が形成される面は、柱状シリコン層30の1つの面に限られるものではなく、2つの面、3つの面に形成するようにしてもよい。つまり、 $p^+$ 型層21は、柱状シリコン層30の一つ以上の面に形成されていればよい。

【0080】【実施の形態5】図25Aは、“0”データ書き込みの信頼性の改善を可能とした実施の形態のメモリセルMCの構造を、図1に対応させて示す。この実施の形態のメモリセル構造が図1と異なる点は、ゲート13がドレイン14に対してオフセットを持つようにしていることである。すなわち、チャネルボディ側のソース15上には、ゲート絶縁膜16を介して、ゲート13が形成されている。つまり、ゲート13のソース15に対する重なり量は正である。これに対して、ドレイン14上には、ゲート13が形成されていない。つまり、ゲート13のドレイン14に対する重なり量は負である。

【0081】これは、図25Aに示したように、ドレイン14及びソース15のイオン注入を斜めイオン注入とすることにより、容易に実現することができる。或いは斜めイオン注入によらず、ドレイン側のゲート側壁にのみ側壁絶縁膜を形成した状態で通常のイオン注入を行うことによっても、同様のオフセット構造を得ることができる。その他は、図1と変わらない。

【0082】上述した実施の形態におけるメモリセルでは、“0”書き込みは、ドレイン領域14とチャネルボディの間に順バイアスを与えて、チャネルボディの多数キャリアをドレイン領域14に放出させる。この場合、図1に示した通常のトランジスタ構造では、チャネル反

転層が形成されてこれがゲート13とチャネルボディの間のシールド層となり、チャネル反転層とチャネルボディとの間の容量結合が大きくなる。この結果、ドレイン領域14を負電位から0Vに戻すときに、チャネル反転層とチャネルボディの容量結合によりチャネルボディ電位が上昇し、十分に“0”書き込みができなくなる可能性がある。また、チャネル反転層のためにゲート13とチャネルボディの間の容量が小さくなるため、ビット線の影響をより大きく受けやすくなる。更にチャネル反転層が形成されると、チャネル電流( $n$ チャネルの場合電子電流)が流れる。このチャネル電流は、書き込み動作には無用の電流であり、書き込み電力の増大を招くだけでなく、もしインバクティオン化が生じれば、“1”書き込みモードとなり、“0”書き込みの信頼性が低下する。

【0083】これに対して、図25Aに示すように、ドレイン側にオフセット構造を持たせると、ドレイン領域14に正電位が与えられてドレイン接合が逆バイアスとなる通常のトランジスタ動作の場合は、図25Bに示すように、ドレイン領域14から広がる空乏層DLがゲート13直下まで延びる。このため、ゲート13に正の電圧を印加することにより、ドレイン領域14からの空乏層DLとソース領域15との間にチャネル反転層CHが形成され、ドレイン領域14とソース領域15との間にチャネル電流が流れる状態になる。つまり、図25Aに示すメモリセルMCは、図26に示すように、MISTランジスタとして、正常動作する。この図26は、ドレイン領域14に印加される電圧 $V_d$ と、ソース/ドレイン間を流れる電流 $I_d$ との関係を示すグラフを示している。そして、ゲート13に印加される電圧 $V_g$ を変化させた場合の特性を示している。

【0084】しかし、ドレイン領域14に負電位が与えられた場合には、トランジスタ動作としてはドレイン、ソースの機能が逆となり、図25Cに示すように、空乏層DLはソース領域15側に形成されるとともに、チャネル反転層CHがソース領域14から離れて形成される。このため、図26に示すように、ドレイン領域14とソース領域15との間にチャネル電流が殆ど流れない。

【0085】従ってこの実施の形態によると、“0”書き込み時(つまり、図25Cに示すように、ドレイン領域14とチャネルボディとの間に順バイアスを与えた時)、ドレイン領域14とチャネルボディとの無用な容量結合によるチャネルボディ電位の上昇が抑えられ、“0”書き込みマージンを上げることができる。また“0”書き込み時に無用なチャネル電流を抑えて、ビット線BLに流れる書き込み電流を低減し、書き込み電力を低減することができる。

【0086】上では、逆方向について殆ど電流が流れない場合について述べたが、チャネル電流に10%以上の

差がつく軽い非対称性を持たせることで、同様に電流低減等の効果が得られる。また、ドレイン領域14側にオフセットを持たせるのは、ソース、ドレイン逆転時のチャネル電流を非対称とする手段の一つであり、ソース、ドレインの順逆時のチャネル電流に非対称を与えるために他の手法を用いることもできる。すなわち、MISトランジスタが、ソース領域15からドレイン領域14へチャネル電流が流れる場合と、ドレイン領域14からソース領域15へチャネル電流が流れる場合とで、同じ電位をゲート13に与えた場合でも異なる特性を有するようにすればよい。

【0087】[実施の形態6] 図27及び図28はそれぞれ、図19A及び図20のメモリセルMCについて、同様にゲートオフセット構造を導入した実施の形態を示している。この実施の形態によっても同様に、“0”書き込み時の無用な電流を低減することができる。

【0088】図29A及び図29Bは、SGT構造を用いたメモリセルMCについて、同様にゲートオフセット構造を導入した実施の形態を示している。図29Aは、そのようなメモリセルMCにより構成されたメモリセルアレイのレイアウトを示す平面図であり、図29Bは、図29AのA-A'断面を示す図である。これら図29A及び図29Bに示すように、ゲート13は柱状シリコン層30を取り巻く一体のものである。また、柱状シリコン層30には、 $p^+$ 型層21の高濃度領域は形成されていない。

【0089】図29Bに示すように、柱状シリコン層30におけるチャネルボディ側のソース15の周囲には、ゲート絶縁膜を介して、ゲート13が形成されている。つまり、ゲート13のソース15に対する重なり量は正である。これに対して、柱状シリコン層30におけるドレイン14の周囲には、ゲート13が形成されていない。つまり、ゲート13のドレイン14に対する重なり量は負である。

【0090】図30Aは、図21及び図22の実施の形態3において、ゲートオフセット構造を導入したメモリセルで構成されたメモリセルアレイのレイアウトを示す平面図である。図30Bは、図30AにおけるA-A'断面を示す図である。これら図30A及び図30Bに示すように、第1のゲート13は、ソース領域15側にシフトして形成されている。すなわち、柱状シリコン層30におけるソース15の側面には、ゲート絶縁膜を介して、第1のゲート13が形成されている。つまり、第1のゲート13のソース15に対する重なり量は正である。これに対して、柱状シリコン層30におけるドレイン14の側面には、第1のゲート13が形成されていない。つまり、第1のゲート13のドレイン14に対する重なり量は負である。それ以外の構成は、上述した実施の形態3と同様であり、第1のゲート13と第2のゲート20は、別々のワード線として配設されている。

【0091】図30Cは、図23及び図24の実施の形態4において、ゲートオフセット構造を導入したメモリセルにより構成されたメモリセルアレイのレイアウトを示す平面図である。図30Dは、図30CにおけるA-A'断面を示す図である。これら図30C及び図30Dに示すように、第1のゲート13は、ソース領域15側にシフトして形成されている。すなわち、柱状シリコン層30におけるソース15の側面には、ゲート絶縁膜を介して、第1のゲート13が形成されている。つまり、第1のゲート13のソース15に対する重なり量は正である。これに対して、柱状シリコン層30におけるドレイン14の側面には、第1のゲート13が形成されていない。つまり、第1のゲート13のドレイン14に対する重なり量は負である。それ以外の構成は、上述した実施の形態4と同様であり、第1のゲート13と第2のゲート20は、共通のワード線として配設されている。

【0092】この実施の形態6によっても同様に、“0”書き込み時の無用な電流をなくすることができる。

【0093】[実施の形態7] ここまでの実施の形態では、“1”書き込みにはドレイン接合近傍でのインパクトイオン化による基板電流を利用したが、インパクトイオン化に代わり、ゲートにより誘起されるドレインリーク電流、いわゆるGIDL電流を利用することもできる。図31は、ゲート長/ゲート幅=0.175 $\mu\text{m}$ /10 $\mu\text{m}$ のMISFETでのゲート電圧-ドレイン電流特性を示している。ゲート長が短くなると、図示のようにゲート電圧 $V_g$ が負の領域で正のドレイン電圧 $V_d$ がかかると、大きな基板電流が流れる。これが、GIDL電流であり、これを利用することで“1”書き込みが可能である。

【0094】図32は、GIDL電流を利用した“1”書き込み/読み出しの動作波形を示している。インパクトイオン化を利用する場合と異なり、“1”書き込み時、ゲート電圧 $V_g$ を負、ドレイン電圧 $V_d$ を正にする。これにより、GIDL電流により、チャネルボディにホールを注入蓄積することができる。

【0095】なおGIDL電流を利用する“1”書き込み方式は、図1に示した基本メモリセル構造はもちろん、図19A以下に示した各実施の形態のメモリセル構造の場合にも同様に適用が可能である。

【0096】[実施の形態8] 図33、図34A及び図34Bは、シリコン層12を絶縁膜11上で凸型のストライプ状に形成した実施の形態である。図33は、そのようなメモリセルによるメモリセルアレイのレイアウトを示す平面図であり、図34Aは図33におけるA-A'断面を示す図であり、図34Bは図33におけるB-B'断面を示す図である。

【0097】この場合、ゲート13は、上記各実施の形態の第1のゲートと第2のゲートを一体に形成したものであることができ、凸型シリコン層12の上面と両側面

に対向させる。具体的にこの構造は、素子分離絶縁膜24の埋め込み時に、シリコン層12が突出した状態に埋め込むことにより、得られる。そして、シリコン層12のゲート13が対向する3面のうち、例えば両側面に $p^+$ 型層21を形成して、ここをチャンネル反転層が形成されない容量結合部とする。なお、 $p^+$ 型層21は、シリコン層12の上面及び両側面からなる3つの面のうち、一つ以上の面に形成されていけばよい。

【0098】これにより、先の各実施の形態と同様の動作ができる。

【0099】[実施の形態9] 上述した各実施の形態によれば、一つのMISTランジスタを1ビットのメモリセルMCとして、ダイナミック記憶ができるメモリセルアレイが構成される。そして、上述したように、第1のゲート13と第2のゲート20とを別々に形成した場合、第1のワード線WL1と第2のワード線WL2は異なる電位で同期駆動してもよいし、同じ電位で同期駆動してもよい。

【0100】図35A及び図35Bは、データ書き込み時のワード線WL1、WL2及びビット線BLの電圧波形を示している。対をなす第1のワード線WL1と第2のワード線WL2は同期して駆動する。図35Aは、第1のゲート13と第2のゲート20とを別々に形成した場合に、第2のゲート20を第1のゲート13より低い電位で制御して、チャンネルボディの第2のゲート20側に多数キャリア蓄積を可能とするものである。一方、図35Bは、第1のゲート13と第2のゲート20を同じ電位で駆動して、チャンネルボディの第2のゲート20側に多数キャリア蓄積を可能とするものである。この図35Bの電圧波形は、第1のゲート13と第2のゲート20とを共通に形成した場合にも、同様に適用される。

【0101】図35Aの場合、“1”データ書き込み時、選択された第1のワード線WL1に基準電位VSSより高い正の電位VWL1Hを与え、同時に選択された第2のワード線WL2にはそれより低い電位VWL2H（図の例では基準電位VSSより高い正電位）を与え、選択されたビット線BLには、基準電位VSSより高い正の電位VBLHを与える。これにより、選択されたメモリセルMCにおいて、5極管動作によるインパクトイオン化が生じ、ホールがチャンネルボディに蓄積される。

【0102】データ保持は、第1のワード線WL1に基準電位VSSより低い負の電位VWL1Lを与え、第2のワード線WL2にはそれより更に低い電位VWL2Lを与える。これにより、チャンネルボディに過剰ホールを蓄積した状態である“1”データを保持する。

【0103】“0”データ書き込み時は、選択された第1及び第2のワード線WL1及びWL2にそれぞれ

“1”書き込み時と同様の電位VWL1H及びVWL2Hを与え、選択されたビット線BLには基準電位VSSより低い負の電位VBLLを与える。これにより、選択

されたメモリセルMCにおいて、ドレイン接合が順バイアスになり、チャンネルボディのホールがドレイン14に排出されて、チャンネルボディ電位の低い状態である

“0”データが書かれる。

【0104】図35Bの場合、“1”データ書き込み時、選択された第1及び第2のワード線WL1及びWL2に基準電位VSSより高い正の電位VWLHを与え、選択ビット線BLには、基準電位VSSより高い正の電位VBLHを与える。これにより、選択されたメモリセルMCにおいて、5極管動作によるインパクトイオン化が生じ、ホールがチャンネルボディに蓄積される。

【0105】データ保持は、第1及び第2のワード線WL1及びWL2に基準電位VSSより低い負の電位VWLHを与える。これにより、チャンネルボディに過剰ホールを蓄積した状態である“1”データを保持する。

【0106】“0”データ書き込み時は、選択された第1及び第2のワード線WL1及びWL2に“1”書き込み時と同様の電位VWLHを与え、選択ビット線BLには基準電位VSSより低い負の電位VBLHを与える。これにより、選択されたメモリセルMCでドレイン接合が順バイアスになり、チャンネルボディのホールがドレインに排出されて、チャンネルボディ電位の低い状態である“0”データが書かれる。

【0107】次に、この実施の形態におけるロウデコーダとワード線ドライバの具体的な回路構成の一例を説明する。図35Cは、ロウデコーダの一例と、図35Bに示したワード線WL1、WL2の電圧波形を生成するためのワード線ドライバWDDV1の一例を示す図である。

【0108】この図35Cに示すように、ロウデコーダRDECは、NAND回路C10により構成されており、ワード線ドライバWDDV1は、インバータ回路C11と、レベル変換回路C12と、レベル変換回路C13と、出力バッファ回路C14とにより構成されている。この構成により、ロウデコーダRDECにより選択されたワード線ドライバWDDV1は、ハイレベルの電位を、正の電位VCCより高い電位であるVWLHに変換して、ワード線WL1、WL2に供給する。

【0109】より具体的には、NAND回路C10には、ロウアドレス信号RADDとワード線イネーブル信号WLENとが、入力される。選択されたワード線WL1、WL2に対応するワード線ドライバWDDV1には、すべてハイレベルのロウアドレス信号RADDと、ハイレベルのワード線イネーブル信号WLENが入力される。したがって、選択されたワード線WL1、WL2に対応するワード線ドライバWDDV1のNAND回路C10の出力は、ローレベル、つまり基準電位VSSになる。NAND回路C10の出力は、インバータ回路C11に入力される。

【0110】このインバータ回路C11は、入力された

信号を反転して出力する。したがって、選択されたワード線ドライバWDDV1においては、インバータ回路C11の出力はハイレベル、つまり正の電位VCCになる。このインバータ回路C11の出力は、レベル変換回路C12とレベル変換回路C13とに入力される。また、レベル変換回路C12とレベル変換回路C13には、NAND回路C10の出力も、入力される。

【0111】このレベル変換回路C12及びレベル変換回路C13の出力は、出力バッファ回路C14に入力される。レベル変換回路C12と出力バッファ回路C14とにより、インバータ回路C11のハイレベル出力電位であるVCCの出力を、VCCよりも高い正の電位であるVWLHに変換して、ワード線WL1、WL2に供給する。また、レベル変換回路C13と出力バッファ回路C14とにより、インバータ回路C11のローレベル出力電位であるVSSの出力を、VSSよりも低い電位であるVWLLに変換して、ワード線WL1、WL2に供給する。

【0112】この実施の形態においては、レベル変換回路C12は、p型MOSトランジスタPM10、PM11と、n型MOSトランジスタNM10、NM11とを、備えて構成されている。p型MOSトランジスタPM10、PM11のソース端子は、それぞれ、電位VWLHの供給線に接続されており、そのドレイン端子は、それぞれ、n型MOSトランジスタNM10、NM11のドレイン端子に接続されている。また、p型MOSトランジスタPM10のゲート端子は、p型MOSトランジスタPM11とn型MOSトランジスタNM11の間のノードに接続されており、p型MOSトランジスタPM11のゲート端子は、p型MOSトランジスタPM10とn型MOSトランジスタNM10の間のノードに接続されている。

【0113】n型MOSトランジスタNM10のゲート端子には、インバータ回路C11の出力が入力され、n型MOSトランジスタNM11のゲート端子には、NAND回路C10の出力が入力される。これらn型MOSトランジスタNM10、NM11のソース端子は、それぞれ、電位VSSの供給線に接続されている。

【0114】一方、レベル変換回路C13は、p型MOSトランジスタPM12、PM13と、n型MOSトランジスタNM12、NM13とを、備えて構成されている。p型MOSトランジスタPM12、PM13のソース端子は、それぞれ、電位VCCの供給線に接続されており、そのドレイン端子は、それぞれ、n型MOSトランジスタNM12、NM13のドレイン端子に接続されている。また、p型MOSトランジスタPM12のゲート端子には、インバータ回路C11の出力が入力され、p型MOSトランジスタPM13のゲート端子には、NAND回路C10の出力が入力される。

【0115】n型MOSトランジスタNM12のゲート

端子は、p型MOSトランジスタPM13とn型MOSトランジスタNM13との間のノードに接続されており、n型MOSトランジスタNM13のゲート端子は、p型MOSトランジスタPM12とn型MOSトランジスタNM12との間のノードに接続されている。また、これらn型MOSトランジスタNM12、NM13のソース端子は、それぞれ、電位VWLLの供給線に接続されている。

【0116】出力バッファ回路C14は、p型MOSトランジスタPM14、PM15と、n型MOSトランジスタNM14、NM15とを、直列的に接続することにより、構成されている。

【0117】p型MOSトランジスタPM14のソース端子は、電位VWLHの供給線に接続されており、そのゲート端子は、レベル変換回路C12におけるp型MOSトランジスタPM11のゲート端子に接続されている。p型MOSトランジスタPM14のドレイン端子は、p型MOSトランジスタPM15のソース端子に接続されている。このp型MOSトランジスタPM15のゲート端子には、電位VSSが入力されている。このため、p型MOSトランジスタPM15は、ノーマリーオン（常閉）のMOSトランジスタとなる。また、p型MOSトランジスタPM15のドレイン端子は、n型MOSトランジスタNM14のドレイン端子に接続されている。これらp型MOSトランジスタPM15とn型MOSトランジスタNM14との間のノードから、ワード線WL1、WL2を駆動するための電圧が出力される。

【0118】n型MOSトランジスタNM14のゲート端子には、電位VCCが供給されている。このため、n型MOSトランジスタNM14は、ノーマリーオン（常閉）のMOSトランジスタとなる。n型MOSトランジスタNM14のソース端子は、n型MOSトランジスタNM15のドレイン端子に接続されている。このn型MOSトランジスタNM15のゲート端子は、レベル変換回路C13におけるn型MOSトランジスタNM13のゲート端子に接続されている。また、n型MOSトランジスタNM15のソース端子は、電位VWLLの供給線に接続されている。

【0119】以上のような構成のロウデコーダRDECとワード線ドライバWDDV1を用いて、図35Bに示す電位VWLH、VWLLを生成し、ワード線WL1、WL2に供給する。なお、図35Cにおいては、各MOSトランジスタでバックゲート接続がなされているが、これは必ずしも必要なものではない。

【0120】なお、このワード線ドライバWDDV1の出力バッファ回路C14は、ノーマリーオン（常閉）のMOSトランジスタPM15、NM14を備えているが、これは、MOSトランジスタPM14、NM15に、直接、電位VWLHと電位VWLLの電位差が印加しないようにするためである。すなわち、ノーマリーオン（常閉）のMOS

トランジスタPM15、NM14により、そのしきい値落ちをする分の電圧だけ、電位差が減少する。したがって、直接この電位差が、MOSTランジスタPM14、PM15に印加されてもよいのであれば、MOSTランジスタPM15、NM14は、図35Dに示すように、省略することも可能である。

【0121】これら図35C又は図35Dに示したロウデコーダRDECとワード線ドライバWDDV1とを、メモリセルアレイMCAに配置したレイアウト図を、図35Eに示す。この図35Eに示すように、ワード線ドライバWDDV1のレイアウトピッチが、ワード線WL1、WL2の配線ピッチと一致する場合は、メモリセルアレイMCAの片側に、ロウデコーダRDECとワード線ドライバWDDV1とを配置することができる。

【0122】これに対して、ワード線ドライバWDDV1のレイアウト面積が大きくなり、ワード線ドライバWDDV1のレイアウトピッチを、ワード線WL1、WL2の配線ピッチに一致させることができない場合、図35Fに示すようなレイアウトが考えられる。すなわち、メモリセルアレイMCAの両側にロウデコーダRDECとワード線ドライバWDDV1とを配置し、例えば、メモリセルアレイMCAの左側のロウデコーダRDECとワード線ドライバWDDV1で、奇数番目のワード線WL1、WL2のデコードと駆動を行い、メモリセルアレイMCAの右側のロウデコーダRDECとワード線ドライバWDDV1で、偶数番目のワード線WL1、WL2のデコードと駆動を行うようにする。

【0123】次に、図35Aに対応するロウデータとワード線ドライバの回路構成を説明する。図35Gは、ロウデコーダの一例と、図35Aに示したワード線WL1、WL2の電圧波形を生成するためのワード線ドライバWDDV2の一例を示す図である。

【0124】この図35Gに示すように、ロウデコーダRDECは、NAND回路C10により構成されており、ワード線ドライバWDDV2は、インバータ回路C11と、レベル変換回路C22と、レベル変換回路C23と、出力バッファ回路C24と、レベル変換回路C25と、出力バッファ回路C26とにより構成されている。ここでの電圧の高低関係は、図35Aの例に従って、 $V_{WL1H} > V_{WL2H} > V_{SS} > V_{WL1L} > V_{WL2L}$ である。

【0125】図35Cと異なる点のみ説明すると、レベル変換回路C22は基本的に図35Cのレベル変換回路C12と同様の構成であり、p型MOSTランジスタPM20、PM21と、n型MOSTランジスタNM20、NM21とを備えている。但し、p型MOSTランジスタPM20、PM21のソース端子は、電位VWL1Hの供給線に接続されている。

【0126】レベル変換回路C23も、基本的に図35Cのレベル変換回路C13と同様の構成であり、p型M

OSTランジスタPM22、PM23と、n型MOSTランジスタNM22、NM23とを備えている。但し、n型MOSTランジスタNM22、NM23のソース端子は、電位VWL1Lの供給線に接続されている。

【0127】出力バッファ回路C24も、基本的に図35Cの出力バッファ回路C14と同様の構成であり、直列的に接続されたp型MOSTランジスタPM24、PM25と、n型MOSTランジスタNM24、NM25とを備えている。但し、p型MOSTランジスタPM24のソース端子は、電位VWL1Hの供給線に接続されており、n型MOSTランジスタNM25のソース端子は、電位VWL1Lの供給線に接続されている。

【0128】これに加えて、図35Gのワード線ドライバWDDV2は、レベル変換回路C25と出力バッファ回路C26とを備えている。レベル変換回路C25の構成はレベル変換回路C23の構成と同様であり、p型MOSTランジスタPM26、PM27と、n型MOSTランジスタNM26、NM27とを備えている。但し、n型MOSTランジスタNM26、NM27のソース端子は、電位VWL2Lの供給線に接続されている。

【0129】出力バッファ回路C26は、出力バッファ回路C24と同様の構成であるが、p型MOSTランジスタPM28とn型MOSTランジスタNM28の2つのMOSTランジスタにより構成されている。そして、p型MOSTランジスタPM28のソース端子は、電位VWL2Hの供給線に接続されており、n型MOSTランジスタNM28のソース端子は、電位VWL2Lの供給線に接続されている。

【0130】ノーマリーオンのMOSTランジスタが挿入されていないのは、図35Aからも分かるように、電位VWL2Hと電位VWL2Lとの電位差はそれほど大きくないので、この電位差が直接MOSTランジスタPM28、NM28に印加されても、問題が生じないからである。

【0131】この構成から分かるように、出力バッファ回路C24の出力は、電位VWL1Hと電位VWL1Lとの間で振幅し、これにより、第1のワード線WL1が駆動される。また、出力バッファ回路C26の出力は、電位VWL2Hと電位VWL2Lとの間で、出力バッファ回路C24の出力と同期して振幅し、これにより、第2のワード線WL2が駆動される。なお、図35Gにおいては、各MOSTランジスタでバックゲート接続がなされているが、これは必ずしも必要なものではない。

【0132】また、図35Dに示したワード線ドライバWDDV1と同様に、図35Hに示すようにワード線ドライバWDDV2においても、p型MOSTランジスタPM25とn型MOSTランジスタNM24とを、省くことも可能である。

【0133】これら図35G又は図35Hに示したロウデコーダRDECとワード線ドライバWDDV2とを、



メモリセルアレイMCAに配置したレイアウト図を、図35Iに示す。図35G及び図35Hに示したワード線ドライバWDDV2においては、第1のワード線WL1と第2のワード線WL2を異なる電位で同期的に駆動する関係上、そのレイアウト面積が図35C及び図35Dに示したワード線ドライバWDDV1よりも大きくなってしまふ。したがって、ワード線WL1、WL2の配線ピッチに、ワード線ドライバWDDV2のレイアウトピッチを一致させることは困難であると考えられる。このため、図35Iに示したレイアウトにおいては、メモ

10 セルアレイMCAの両側に、ロウデコーダRDECとワード線ドライバWDDV2とを配置している。すなわち、メモリセルアレイMCAの左側のロウデコーダRDECとワード線ドライバWDDV2で、奇数番目のワード線WL1、WL2のデコードと駆動を行い、メモリセルアレイMCAの右側のロウデコーダRDECとワード線ドライバWDDV2で、偶数番目のワード線WL1、WL2のデコードと駆動を行う。

【0134】また、図35Jに示すように、例えば、第1のワード線WL1用のワード線ドライバWDDV3を、メモリセルアレイMCAの左側に配置し、第2のワード線WL2のワード線ドライバWDDV4を、メモリセルアレイMCAの右側に配置するようにしてもよい。このように配置することにより、電源配線の引き回しを楽にすることができる。すなわち、第1のワード線WL1用のワード線ドライバWDDV3のあるメモリセルアレイMCAの左側にのみ、電位VWL1Hと電位VWL1Lの電位供給線を配線し、第2のワード線WL2用のワード線ドライバWDDV4のあるメモリセルアレイMCAの右側にのみ、電位VWL2Hと電位VWL2Lの電位供給線を配線すればよい。

【0135】但し、このレイアウトの場合、ワード線ドライバWDDV3とワード線ドライバWDDV4の双方に、個別にロウデコーダRDECが必要になる。そのようなワード線ドライバWDDV3の例を図35Kに示し、ワード線ドライバWDDV4の例を図35Lに示す。

【0136】図35Kに示すように、第1のワード線WL1用のワード線ドライバWDDV3は、インバータ回路C11を介してロウデコーダRDECに接続されたレベル変換回路C22と、直接ロウデコーダRDECに接続されたレベル変換回路C23と、出力バッファ回路C24とを備えている。これらの構成は上述した図35Gのワード線ドライバWDDV2と同様である。

【0137】一方、図35Lに示すように、第2のワード線WL2用のワード線ドライバWDDV4は、ロウデコーダRDECと、インバータ回路C11と、レベル変換回路C25と、出力バッファ回路C26とを備えて構成されている。レベル変換回路C25と出力バッファ回路C26の構成は、上述した図35Gのワード線ドライ

バWDDV2と同様である。但し、ワード線ドライバWDDV4はメモリセルアレイMCAの右側に設けられているため、ロウデコーダRDECをワード線ドライバWDDV3と共用することができないため、独自にロウデコーダRDECとインバータ回路C11とを設けている。

【0138】ワード線ドライバWDDV3のロウデコーダRDECと、WDD4のロウデコーダRDECとには、ロウアドレス信号RADDとWLENとが同期して入力されるので、結果的に、異なる電圧振幅で同期したワード線駆動電位が出力される。

【0139】なお、図35K及び図35Lにおいては、各MOSトランジスタでバックゲート接続がなされているが、これは必ずしも必要なものではない。また、図35Kに示したワード線ドライバWDDV3においても、図35Mに示すように、p型MOSトランジスタPM25とn型MOSトランジスタNM24とを、省くことも可能である。

【0140】

20 【発明の効果】以上述べたようにこの発明によれば、一つのメモリセルは、フローティングの半導体層を持つ単純な一つのトランジスタにより形成され、セルサイズを $4F^2$ と小さくすることができる。トランジスタのソースは固定電位に接続され、ドレインに接続されたビット線とゲートに接続されたワード線の制御のみによって、読み出し、書き換え及びリフレッシュの制御が行われる。トランジスタのチャネルボディに対向する第2のゲートを設け、この第2のゲートが対向する表面部には高濃度層を設けることにより、第2のゲートをチャネルボディに容量結合させることによって、“0”、“1”データのしきい値電圧差を大きくすることができる。

【図面の簡単な説明】

【図1】この発明の基本コンセプトによるメモリセルの基本構造を示す断面図である。

【図2】同メモリセルの等価回路である。

【図3】同メモリセルを用いてDRAMのメモリセルアレイを構成した場合のレイアウトである。

【図4A】図3のA-A'断面図である。

【図4B】図3のB-B'断面図である。

40 【図5】同メモリセルのワード線電位とチャネルボディ電位の関係を示す図である。

【図6】同メモリセルの読み出し方を説明するための図である。

【図7】同メモリセルの他の読み出し方を説明するための図である。

【図8】同DRAMの“1”データ読み出し／リフレッシュの動作波形を示す図である。

【図9】同DRAMの“0”データ読み出し／リフレッシュの動作波形を示す図である。

50 【図10】同DRAMの“1”データ読み出し／“0”

データ書き込みの動作波形を示す図である。

【図11】同DRAMの“0”データ読み出し／“1”データ書き込みの動作波形を示す図である。

【図12】同DRAMの他の読み出し方式による“1”データ読み出し／リフレッシュの動作波形を示す図である。

【図13】同DRAMの他の読み出し方式による“0”データ読み出し／リフレッシュの動作波形を示す図である。

【図14】同DRAMの他の読み出し方式による“1”データ読み出し／“0”データ書き込みの動作波形を示す図である。

【図15】同DRAMの他の読み出し方式による“0”データ読み出し／“1”データ書き込みの動作波形を示す図である。

【図16】同メモリセルの“0”書き込み／読み出しのシミュレーションによるチャネルボディ電位変化を示す図である。

【図17】同メモリセルの“1”書き込み／読み出しのシミュレーションによるチャネルボディ電位変化を示す図である。

【図18】同シミュレーションによる“0”、“1”データの読み出し時のドレイン電流－ゲート電圧特性を示す図である。

【図19A】この発明の実施の形態1によるメモリセルの構造を示す断面図である。

【図19B】図19Aに示すメモリセルをマトリクス配列したメモリセルアレイの等価回路を示す図である。

【図19C】図19Aに示すメモリセルをマトリクス配列したメモリセルアレイのレイアウトを示す図である。

【図19D】図19CのA-A'断面図である。

【図19E】図19CのB-B'断面図である。

【図19F】実施の形態1によるメモリセルの変形例を示す斜視図である。

【図19G】図19FのメモリセルのA-A'断面図である。

【図19H】図19FのメモリセルのB-B'断面図である。

【図19I】図19Fに示すメモリセルをマトリクス配列したメモリセルアレイのレイアウトを示す図である。

【図19J】図19IのA-A'断面図である。

【図19K】図19IのB-B'断面図である。

【図19L】図19IのC-C'断面図である。

【図19M】実施の形態1によるメモリセルの別の変形例を示す斜視図である。

【図19N】図19MのメモリセルのB-B'断面図である。

【図20】実施の形態2によるメモリセルの構造を示す断面図である。

【図21】実施の形態3によるメモリセルアレイの平面

図である。

【図22】図21のA-A'断面図である。

【図23】実施の形態4によるメモリセルアレイの平面図である。

【図24】図23のA-A'断面図である。

【図25A】実施の形態5によるメモリセルの構造を示す断面図である。

【図25B】図25Aに示すメモリセルにおいて、ドレイン領域に正の電位を印加し、ゲートに正の電位を印加し、ソース領域をグランドに接続した場合における、メモリセルの状態を示す模式図である。

【図25C】図25Aに示すメモリセルにおいて、ドレイン領域に負の電位を印加し、ゲートに正の電位を印加し、ソース領域をグランドに接続した場合における、メモリセルの状態を示す模式図である。

【図26】同実施の形態のメモリセルの特性を示す図である。

【図27】実施の形態6によるメモリセルの構造を示す断面図である。

【図28】実施の形態6によるメモリセルの別の構造を示す断面図である。

【図29A】SGT構造のメモリセルにゲートオフセット構造を適用した場合のメモリセルアレイの平面図である（実施の形態6）。

【図29B】図29AによるメモリセルアレイのA-A'断面図である。

【図30A】実施の形態3において、ゲートオフセット構造を導入した場合のメモリセルアレイの平面図である（実施の形態6）。

【図30B】図30AによるメモリセルアレイのA-A'断面図である。

【図30C】実施の形態4において、ゲートオフセット構造を導入した場合のメモリセルアレイの平面図である（実施の形態6）。

【図30D】図30CによるメモリセルアレイのA-A'断面図である。

【図31】MISFETのGIDL電流を示す特性図である（実施の形態7）。

【図32】GIDL電流を用いた“1”書き込み／読み出しの動作波形図である。

【図33】実施の形態8によるメモリセルアレイの平面図である。

【図34A】図33のA-A'断面図である。

【図34B】図33のB-B'断面図である。

【図35A】第1のゲートと第2のゲートとを異なる電位で同期駆動した場合における、メモリセルの書き込み動作を示す波形図である（実施の形態9）。

【図35B】第1のゲートと第2のゲートとを同電位で駆動した場合における、メモリセルの書き込み動作を示す波形図である（実施の形態9）。

【図 35 C】図 35 B の書き込み動作波形を生成するためのワード線ドライバとロウデコーダの回路構成の一例を示す図である。

【図 35 D】図 35 C に示したワード線ドライバの変形例を示す図である。

【図 35 E】図 35 C 又は図 35 D に示したロウデコーダとワード線ドライバとを、メモリセルアレイに対して配置した場合のレイアウトの一例を示す図である（片側配置）。

【図 35 F】図 35 C 又は図 35 D に示したロウデコーダとワード線ドライバとを、メモリセルアレイに対して配置した場合のレイアウトの一例を示す図である（両側配置）。

【図 35 G】図 35 A の書き込み動作波形を生成するためのワード線ドライバとロウデコーダの回路構成の一例を示す図である。

【図 35 H】図 35 G に示したワード線ドライバの変形例を示す図である。

【図 35 I】図 35 G 又は図 35 H に示したロウデコーダとワード線ドライバとを、メモリセルアレイに対して配置した場合のレイアウトの一例を示す図である（第 1 のワード線と第 2 のワード線とからなる対のワード線に対して、左右交互にロウデコーダとワード線ドライバと \*

を設けた場合）。

【図 35 J】図 35 G 又は図 35 H に示したロウデコーダとワード線ドライバとを、メモリセルアレイに対して配置した場合のレイアウトの一例を示す図である（片側に第 1 のワード線用のロウデコーダとワード線ドライバとを設け、もう片側に第 2 のワード線のロウデコーダとワード線ドライバとを設けた場合）。

【図 35 K】図 35 J に示したレイアウトを採用する場合における、第 1 のワード線用のロウデコーダとワード線ドライバの回路構成の一例を示す図である。

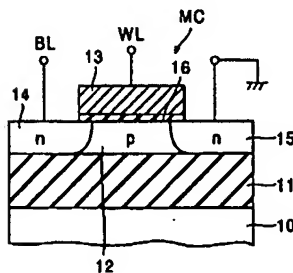
【図 35 L】図 35 J に示したレイアウトを採用する場合における、第 2 のワード線用のロウデコーダとワード線ドライバの回路構成の一例を示す図である。

【図 35 M】図 35 K に示したワード線ドライバの変形例を示す図である。

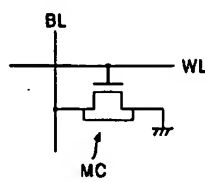
【符号の説明】

- 10 シリコン基板
- 11 シリコン酸化膜
- 12 p 型シリコン層
- 13 第 1 のゲート
- 14 ドレイン拡散層
- 15 ソース拡散層
- 20 第 2 のゲート

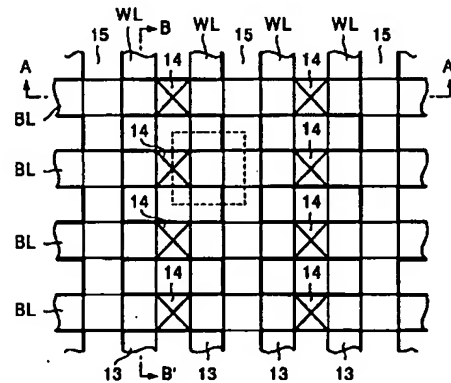
【図 1】



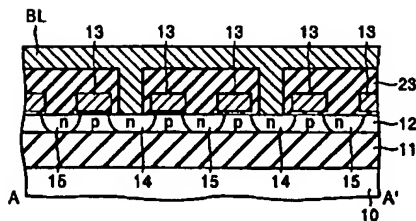
【図 2】



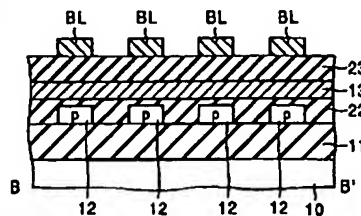
【図 3】



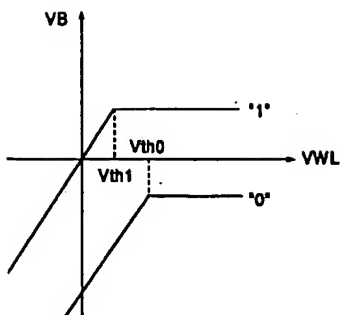
【図 4 A】



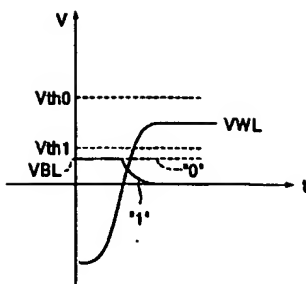
【図 4 B】



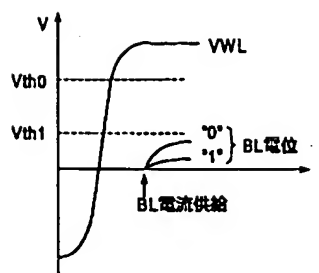
【図5】



【図6】

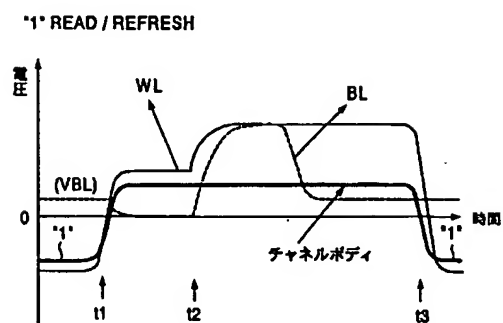


【図7】

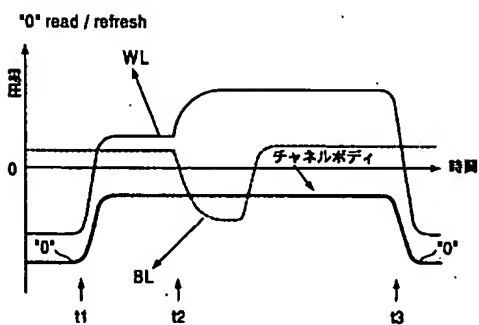


【図9】

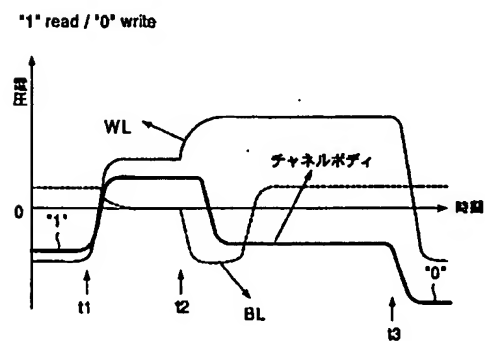
【図8】



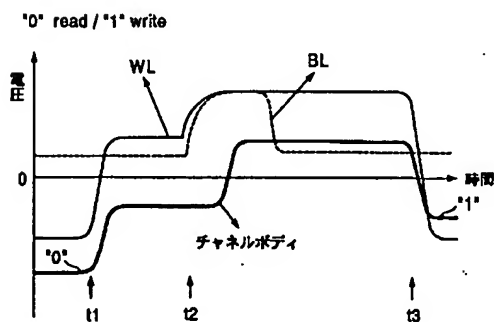
【図10】



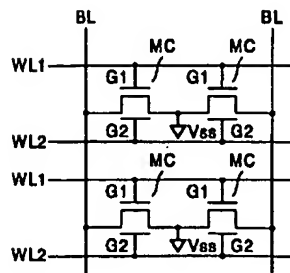
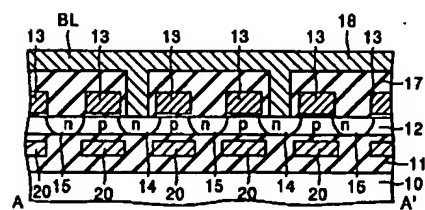
【図11】



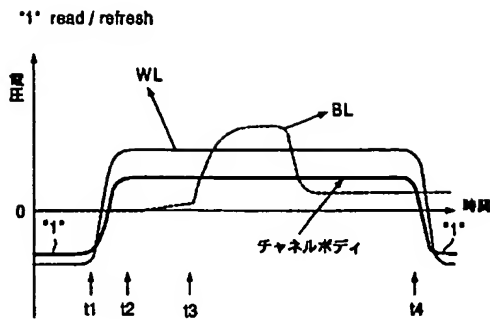
【図19D】



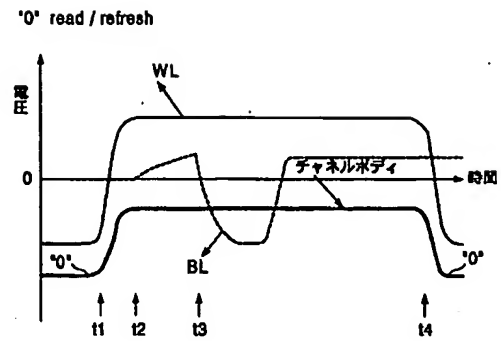
【図19B】



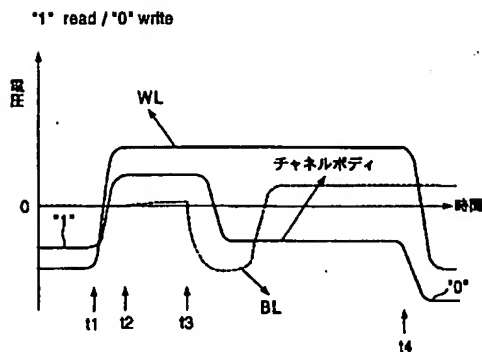
【図12】



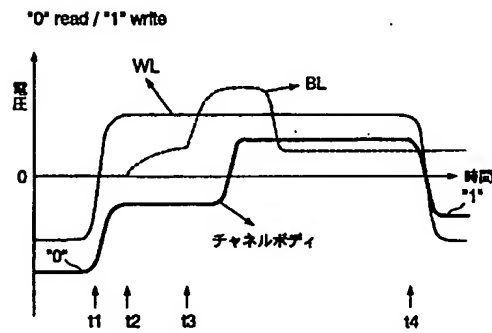
【図13】



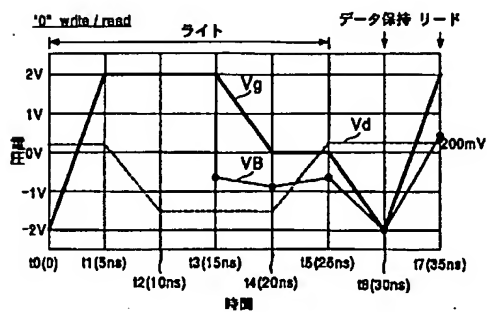
【図14】



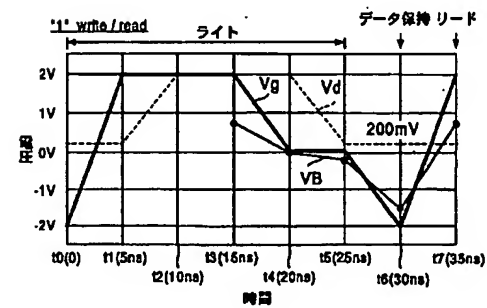
【図15】



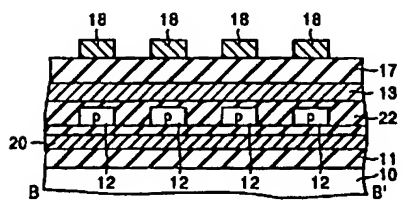
【図16】



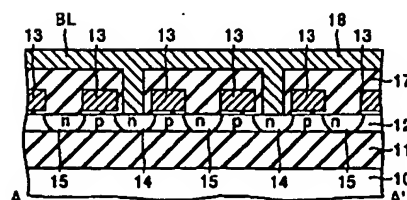
【図17】



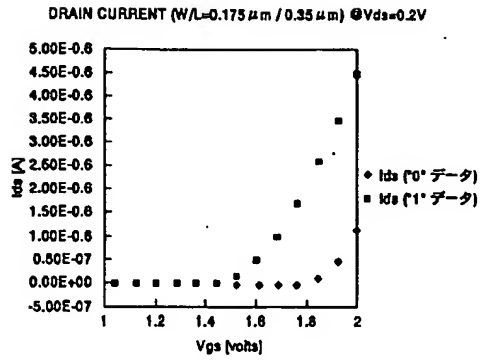
【図19E】



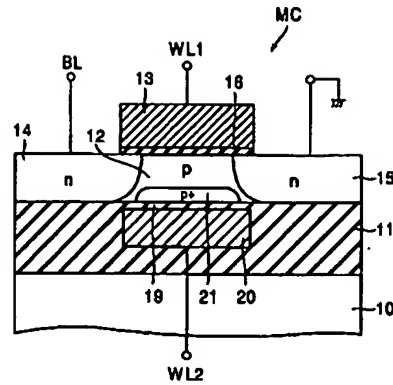
【図19J】



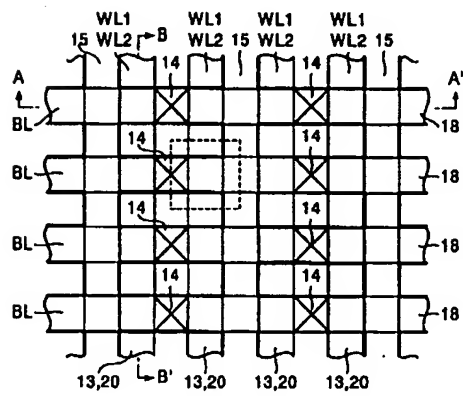
【図18】



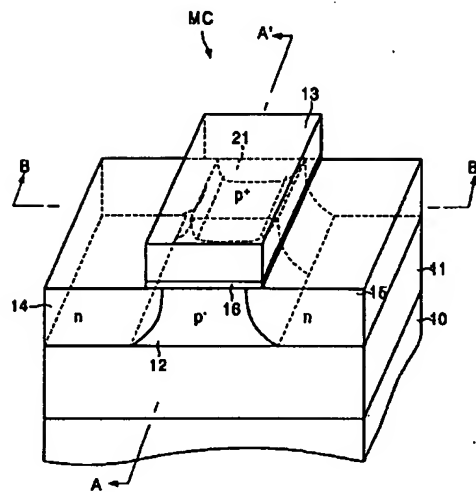
【図19A】



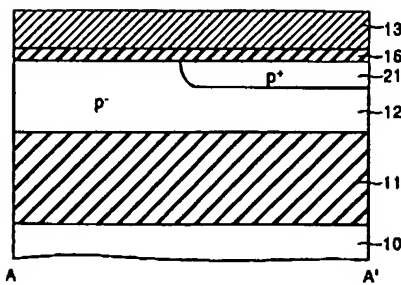
【図19C】



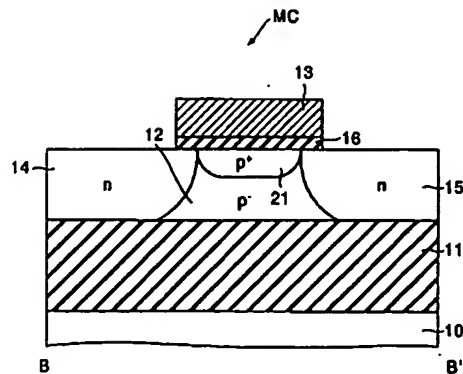
【図19F】



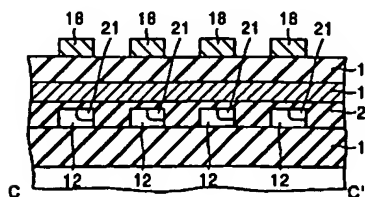
【図19G】



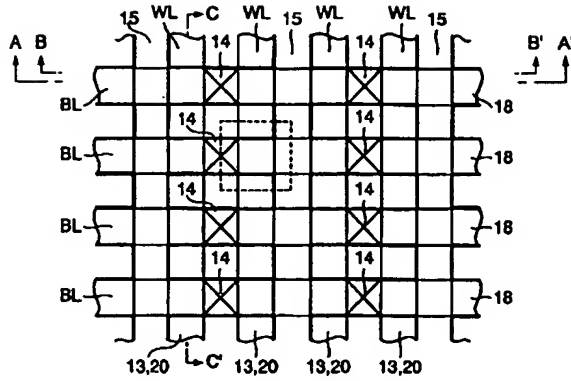
【図19H】



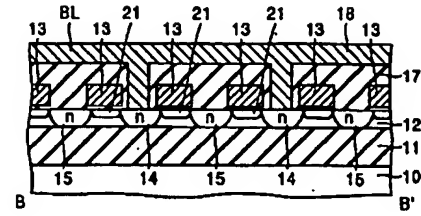
【図19L】



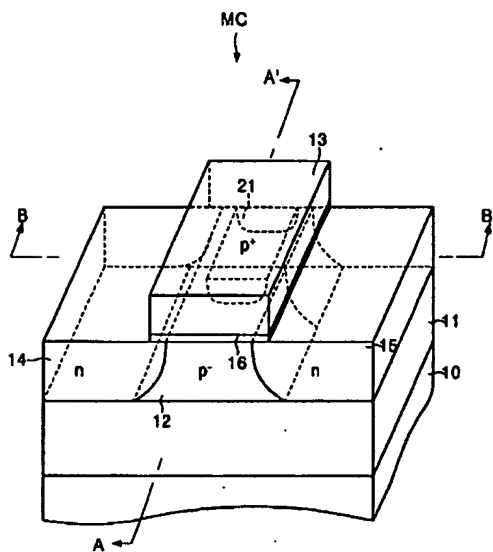
【図19I】



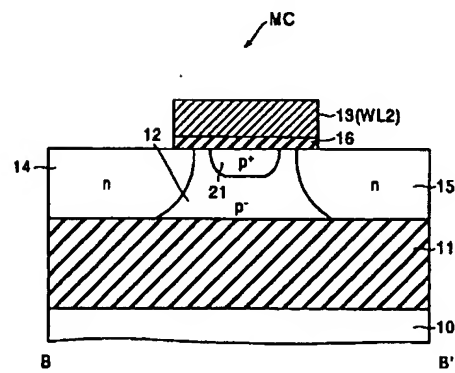
【図19K】



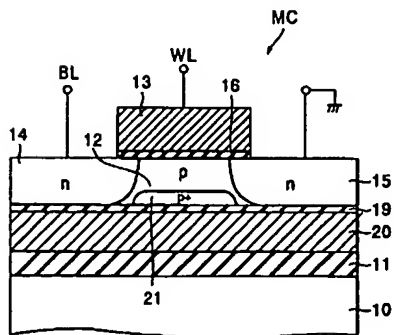
【図19M】



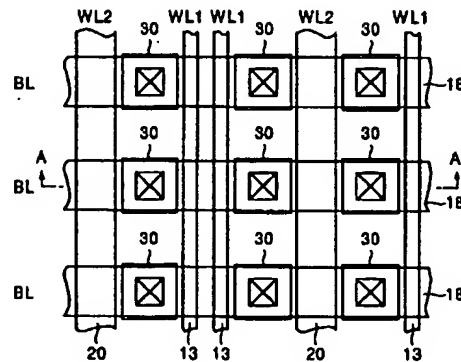
【図19N】



【図20】

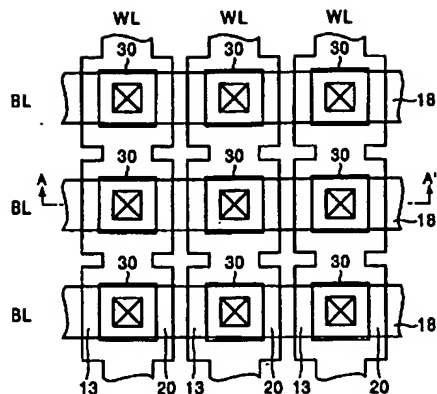


【図21】

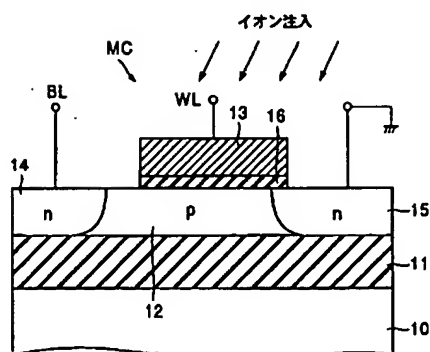




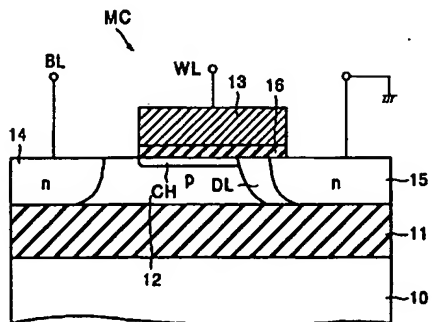
【圖23】



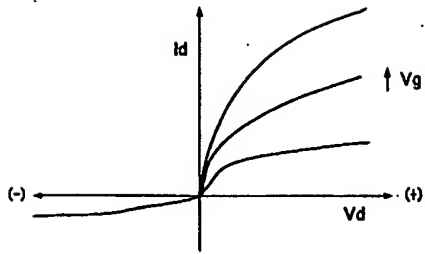
【图25A】



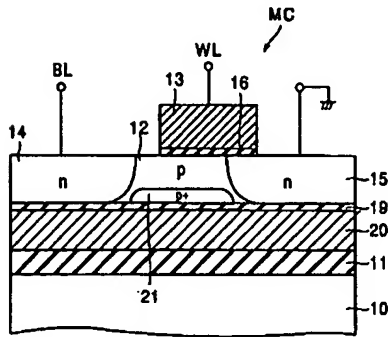
【図25C】



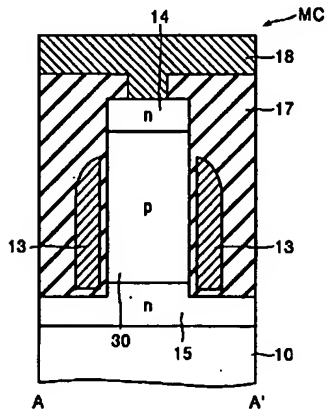
【図26】



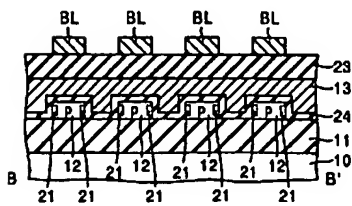
【図28】



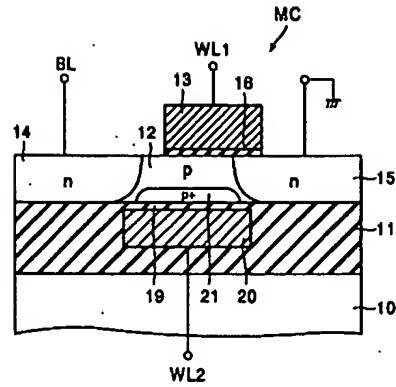
【図29B】



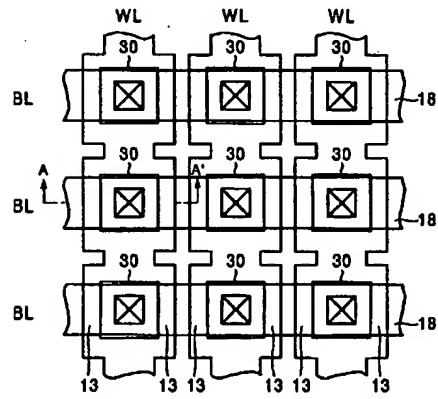
【図34B】



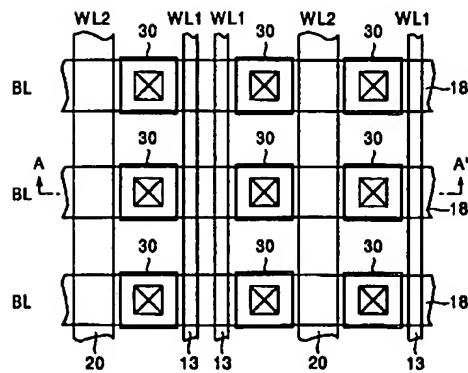
【図27】



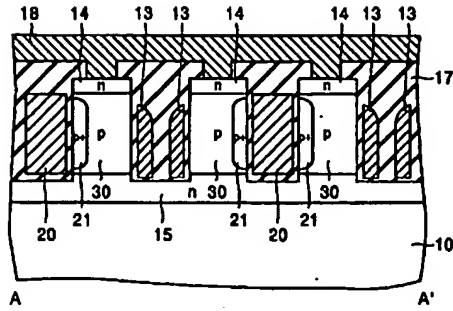
【図29A】



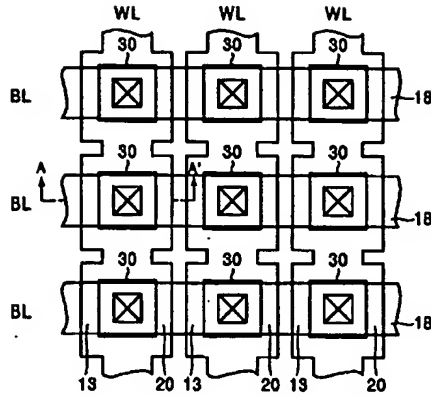
【図30A】



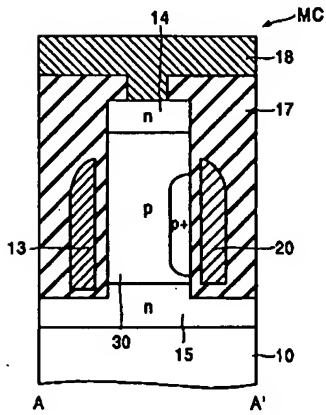
【図30B】



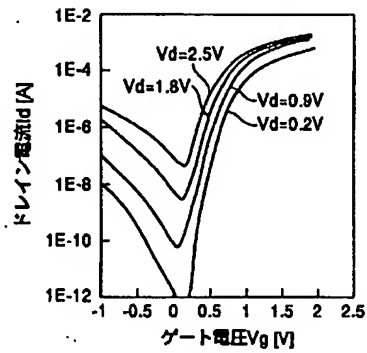
【図30C】



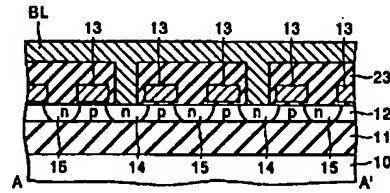
【図30D】



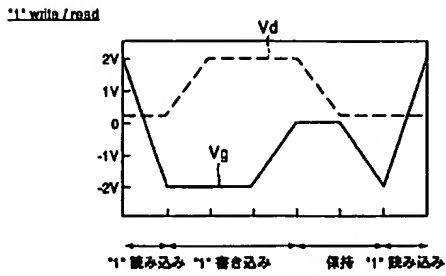
【図31】



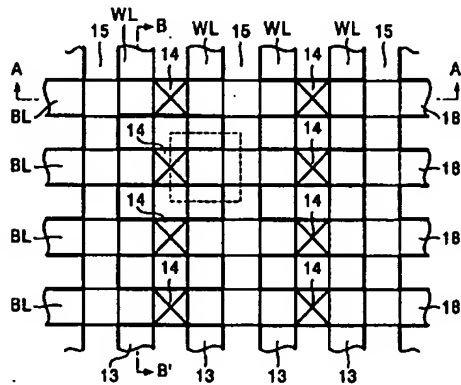
【図34A】



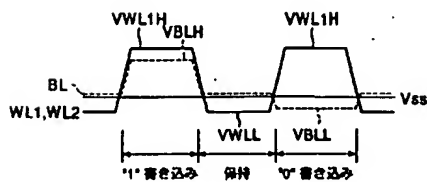
【図32】



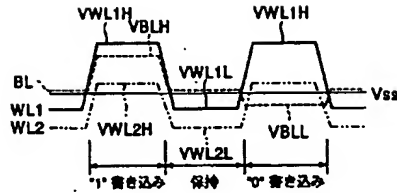
【図33】



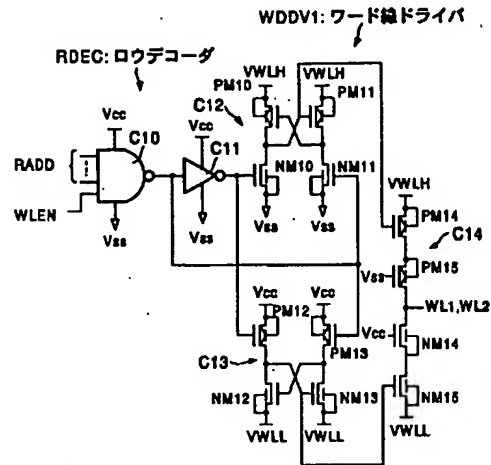
【図35B】



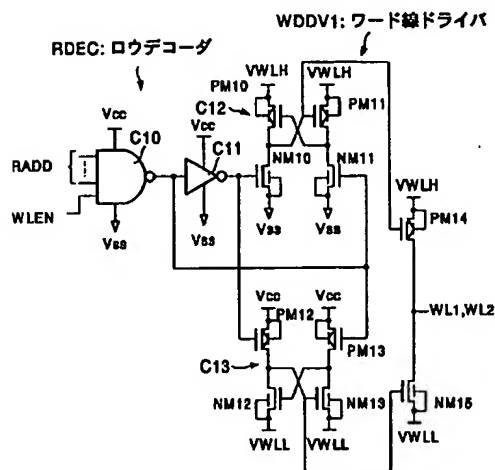
【図35A】



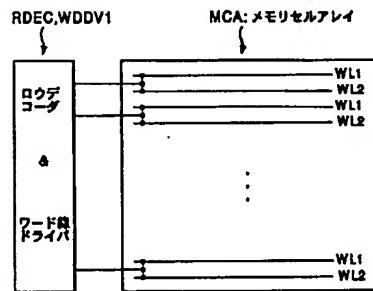
【図35C】



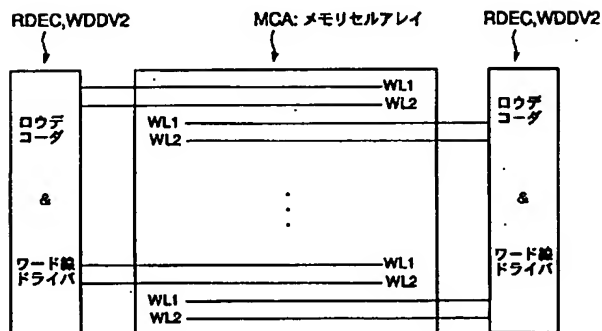
【図35D】



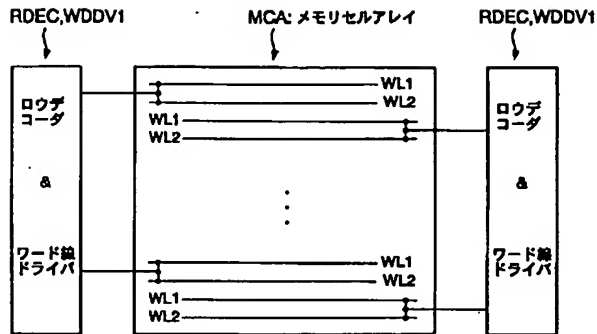
【図35E】



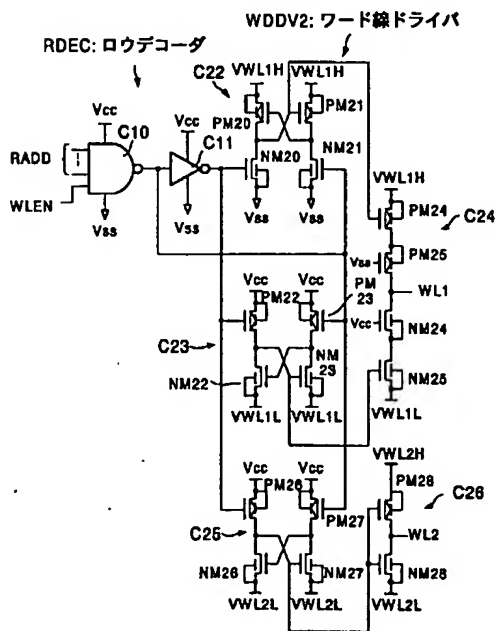
【図35I】



【図35F】



【図35G】



【図35H】

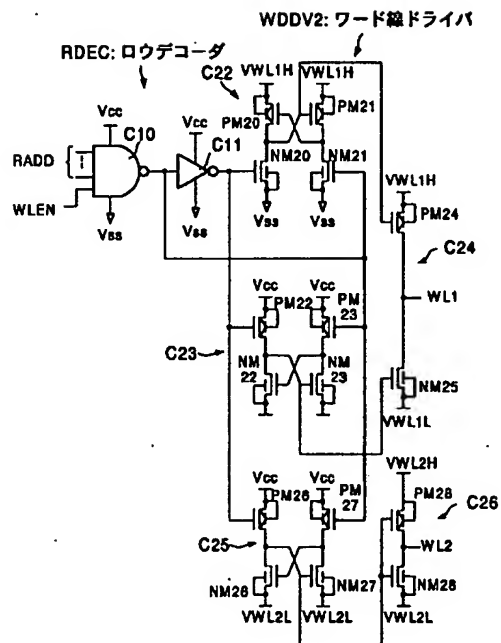


Figure 1 is a block diagram of the memory system architecture. It features a central component labeled "MCA: メモリセルアレイ" (Memory Cell Array). This central array is connected to three peripheral control units: "RDEC, WDDV3" on the left, "RDEC, WDDV4" on the right, and "RDEC, WDDV5" at the bottom. Each of these control units contains a "ロウデ コード" (Row Decoder) and a "ワード線ドライバ" (Word Line Driver). The central array is divided into sections labeled "WL1" and "WL2".

[illegible][illegible]

フロントページの続き

(51)Int.Cl.	識別記号	F I	キーワード (参考)
		G 1 1 C 11/34	3 5 2 C 3 5 4 D
(72)発明者	山 田 敬	F ターム (参考)	5F083 AD69 HA02 LA12 LA16
	神奈川県横浜市磯子区新杉田町 8 番地 株		5F110 AA30 BB04 BB06 CC02 CC09
	式会社東芝横浜事業所内		DD05 DD13 EE30 GG02 GG12
(72)発明者	岩 田 佳 久		GG31 HM14 NN02
	神奈川県川崎市幸区小向東芝町 1 番地 株		5M024 AA58 BB02 BB35 BB36 BB39
	式会社東芝マイクロエレクトロニクスセン		CC20 CC22 CC50 CC70 EE10
	ター内		HH01 LL04 LL05 LL11 PP01
			PP02 PP03 PP04 PP07 PP10



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**